

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-237510

(43)Date of publication of 31.08.2001  
application :

(51)Int.Cl. H05K 1/11

H01L 23/12

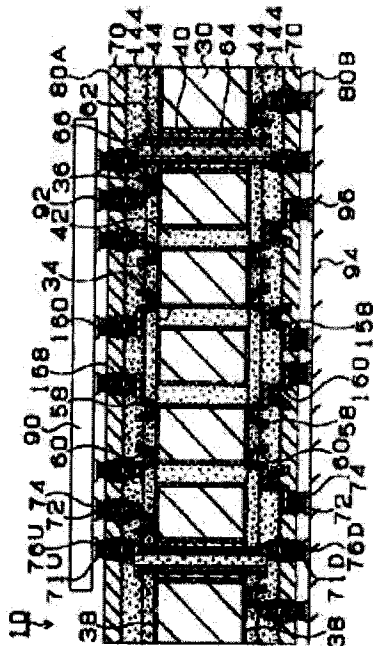
H05K 1/16

H05K 3/46

(21)Application number : 2000-045347 (71)Applicant IBIDEN CO LTD

(22)Date of filing : 23.02.2000 (72)Inventor ASAI MOTOO  
O TOUTO  
SEGAWA HIROSHI

## (54) PRINTED-WIRING BOARD



provide a printed-wiring board having a

through holes 36 and 62 are oppositely  
or external layer through holes, thus  
resin filler 40 for external layer through  
skite-family materials, thus increasing  
pacitance as a capacitor.

[Claim(s)]

[Claim 1]In a printed wired board carried out, a rear surface an electrical link via a through hole said through hole, An outer layer through hole formed in a wall surface of a through-hole of said substrate, and a inner layer through hole which an external-layer-resin bulking agent was made to intervene, and was formed in said outer layer through hole, A printed wired board, wherein it comprises a inner layer resin filler filled in said inner layer through hole and said external-layer-resin bulking agent contains a titanate.

[Claim 2]In a printed wired board carried out, a rear surface an electrical link via a through hole said through hole, A printed wired board, wherein it comprises an outer layer through hole formed in a wall surface of a through-hole of said substrate, and a inner layer through hole which an external-layer-resin bulking agent was made to intervene, and was formed in said outer layer through hole and said external-layer-resin bulking agent contains a titanate.

[Claim 3]Claim 1, wherein said titanate is any one or more [ of barium titanate lead titanate, strontium titanate, titanic acid calcium, titanic acid bismuth, and titanic acid magnesium ], or 2 printed wired boards.

[Claim 4]In a printed wired board carried out, a rear surface an electrical link via a through hole said through hole, An outer layer through hole formed in a wall surface of a through-hole of said substrate, and a inner layer through hole which an external-layer-resin bulking agent was made to intervene, and was formed in said outer layer through hole, A printed wired board, wherein it comprises a inner layer resin filler filled in said inner layer through hole and said external-layer-resin bulking agent includes PEROSU kite system material.

[Claim 5]In a printed wired board carried out, a rear surface an electrical link via a through hole said through hole, A printed wired board, wherein it comprises an outer layer through hole formed in a wall surface of a

through-hole of said substrate, and a inner layer through hole which an external-layer-resin bulking agent was made to intervene, and was formed in said outer layer through hole and said external-layer-resin bulking agent includes PEROSU kite system material.

[Claim 6] Claim 4, wherein said PEROSU kite system material is  $\text{Mg}_x\text{Ny}_b\text{O}_z$ , or 5 printed wired boards.

#### [Detailed Description of the Invention]

[0001]

[Field of the Invention] A rear surface this invention about the printed wired board carried out in the electrical link via a through hole, The multilayer printed wiring board which carries out the build up of a resin insulating layer and the conductor circuit layer by turns especially is comprised, and it is related with the printed wired board which can be used conveniently for the package substrate which lays electronic parts, such as an IC chip.

[0002]

[Description of the Prior Art] It is increasingly called for with high-frequency-izing of a signal that the materials of a package substrate are a lower dielectric constant and a low dielectric tangent. Therefore, the mainstream is moving from the material of a package substrate to resin from ceramics. There is a method indicated by JP,4-55555,B under such a background as art about the printed wired board using a resin substrate, for example. First, epoxy acrylate is formed in the glass epoxy board by which circuit formation was carried out as a resin insulating layer between layers. Then, puncturing for viahole width is provided using the technique of photo lithography. And after roughening the surface, what is called a build up multilayer printed wiring board that provided plating resist and formed the conductor circuit and the viahole with plating is proposed. When using such a build up multilayer printed wiring board as a package

substrate, it is made to connect with other substrates called a mother board and a daughter board. And electronic parts, such as resistance and a capacitor, were mounted in the mother board etc., and electrical properties, such as a characteristic impedance, were adjusted by connecting wiring.

[0003]

[Problem(s) to be Solved by the Invention]However, if an IC chip becomes high frequency of 1 GHz or more, in the capacitor allocated in the daughter board etc., the wire length from an IC chip to a capacitor will become long, and a loss will increase in inductance. Therefore, electrical signal delay, an error, etc. will occur. Since the wiring distance from a power supply to the power supply/ground of an IC chip also becomes long, loop inductance will become large. Therefore, an IC chip did not work normally and the function which it originally has was not fully able to be exhibited.

[0004]Conventionally, the build up multilayer printed wiring board which contained the capacitor in the substrate is manufactured by the method indicated by JP,H10-150272,A, for example. It is a multilayer printed wiring board which laminates organic resin insulating layers and a thin film wiring conductor by turns, and is electrically connected via a through hole conductor, and filler metal and specific inductive capacity make at least one layer of organic resin insulating layers contain 20 or more dielectric thing fillers. And it is made to form as a capacitor by making a thin film wiring conductor carry out opposite pinching of these organic resin insulating layers. Thereby, it becomes possible to make a capacitor function build in a multilayer printed circuit board. Therefore, the number of the parts mounted in a multilayer printed circuit board can become fewer, and a hybrid integrated circuit device etc. can be made with small size. However, the wiring which penetrates and serves as a conductor cannot be formed in the capacitor formation area in the opposing area of a thin film wiring conductor. Therefore, densification of the wiring was not

able to be carried out in the field.

[0005]The breakthrough or the non-through hole is made to form in an insulating substrate in the method indicated by JP,H11-74648,A. and the hole -- while carrying out storage support of the electronic parts, such as a chip capacitor and a chip resistor, inside, connection is electrically taken for electronic parts through the wall of a hole. Thereby, the small size of the wiring board in which electronic parts were carried, a light weight, and slimming down can be attained. however, a hole -- since the electronic parts formed inside have taken the electrical link through the wall of a hole, it is difficult for them in an electronic-parts formation area to give wiring used as a conductor. Since it leads to damage to electronic parts, it cannot perform forming the wiring which penetrates the electronic parts by which storage support is carried out, and serves as a conductor. Therefore, densification of wiring was not able to be carried out in an electronic-parts storing area.

[0006]this invention is made in order to solve SUBJECT mentioned above, and it comes out. the purpose is alike, has a capacitor function, and there is in proposing the printed wired board which can moreover wire with high density.

[0007]

[Means for Solving the Problem]In order to solve SUBJECT mentioned above, a capacitor is made to have formed in a printed wired board of this invention by outer layer through hole formed in a wall surface of a through-hole of a substrate, and a inner layer through hole which an external-layer-resin bulking agent was made to intervene, and was formed in an outer layer through hole.

[0008]In a printed wired board of this invention, a titanate or PEROSU kite system material is used as an external-layer-resin bulking agent allocated between an outer layer through hole and a inner layer through

hole. As a titanate, barium titanate, lead titanate, strontium titanate, A charge of an alloy of titanic acid and metal which consist of titanic acid calcium, titanic acid bismuth, titanic acid magnesium, etc. is meant, and the charge of an alloy at large which is  $MgxNyBO_z$  at least is meant as a PEROSU kite system material. Also in it, it is good to use barium titanate. It is because it is easy to adjust a dielectric constant and a resinous principle of resin fillers other than a high dielectric thing, separation, exfoliation, etc. cannot break out easily as the Reason. The above-mentioned construction material raises a dielectric constant of an external-layer-resin bulking agent, and capacity as a capacitor is increased. Since a capacitor function is given to an outer layer through hole and a inner layer through hole which are formed in a through-hole of a core substrate, a printed wired board which built in a capacitor function and carried out densification of the wiring and which is excellent in an electrical property can be obtained.

[0009]Next, a manufacturing process of a multilayer printed wiring board in which a resin filler containing a high dielectric and two or more conductor circuits were formed in a through hole is explained. As a core substrate, resin insulating substrates, such as a glass epoxy board, a polyimide substrate, and BT (bismaleimide triazine) resin substrate, a ceramic substrate, a metal substrate, etc. can be used. A breakthrough for through holes is made to form in a core substrate with laser, such as a drill or carbonic acid laser. As for thickness of a core substrate, it is desirable that it is 0.4-1.2 mm. This is because there is intensity as a core substrate and it is easy to process a through hole.

[0010]As for a breakthrough for through holes, at this time, two kinds, a breakthrough for through holes for a flow and a breakthrough for outer layer through holes of a coaxial through hole, are formed. A coaxial through hole comprises an outer layer through hole and a inner layer through hole. An opening diameter of a breakthrough for outer layer

through holes is good to be formed at 200-400 micrometers. Especially a desirable thing is 250-350 micrometers. A path cannot form a resin filling layer in less than 200 micrometers above two-layer, and the insulation of a conductor circuit formed into it and a conductor formed in an inner layer through hole wall is not maintained. If 400 micrometers is exceeded, an effect by which densification is carried out will be offset. An opening diameter of a breakthrough for through holes for a flow is formed at 50-400 micrometers. It becomes less practical, when it becomes difficult to form a conductor layer and it exceeds 400 micrometers in less than 50 micrometers. In particular, it is desirable that it is 0.6-1.0 mm.

[0011]Next, you make it filled up with a resin filler in a through hole for a flow, and an outer layer through hole. Depending on the case, a roughened layer is provided in a through hole for a flow, and an outer layer through hole. A roughened layer is formed of oxidation-reduction processing, nonelectrolytic plating, and an etching process. If an example is described, as oxidation-reduction processing, it will carry out as an oxidation bath, using NaOH (10 g/L) and NaBH<sub>4</sub> (6 g/L) as NaOH (10 g/L), NaClO<sub>2</sub> (40 g/L), Na<sub>3</sub>PO<sub>4</sub> (6 g/L), and a reduction bath. In non-electrolytic copper plating, it forms with an alloy which consists of Cu-nickel-P. As an etching process, an etching reagent which consists of the second copper complex and organic acid salt is used.

[0012]In a resin filler filled up with a through hole, a resinous principle, a hardening agent component, and a high dielectric thing contain at least. An organic resin filler and an inorganic filler could be combined with a resin filler. As a resinous principle, thermosetting resin, thermoplastics, or those complexes may be sufficient. Especially a desirable thing is thermosetting resin and it is because it is easy to blend a high dielectric thing and can be filled up by printing. As resin, an epoxy resin, phenol resin, polyimide resin, a fluoro-resin, polyphenylene system resin, polyolefin system resin, etc. can use. An outer layer through hole and a

through hole for a flow may be made to fill up with the same resin filler. Or it may be made to fill up with a separate resin filler in which resin and percentage differ from viscosity etc. It is desirable that you make it independently filled up with a resin filler. A filling method is performed by printing, press fit, etc. It is good to perform a resin filler which adjusted viscosity by printing using a mask in which a through hole portion carried out the opening. As for this resin filler, it is preferred to adjust viscosity so that it may become a 30 - 200 Pa.s grade.

[0013]It is good to use a titanate or PEROSU kite system material as a high dielectric thing, as mentioned above.

[0014]As a hardening component, an imidazole series hardening agent, a phenol system hardening agent, an amine system hardening agent, etc. can be used. It is desirable to use an imidazole hardening agent especially. As an imidazole hardening agent, 2-methylimidazole (name of article; 2MZ), 4-methyl-2-ethylimidazole (name of article; 2E4MZ), 2-phenylimidazole (name of article; 2PZ) 4-methyl-2-phenylimidazole (name of article; 2P4MZ), 1-benzyl-2-methylimidazole (name of article; 1 B-2 MZ), 2-methylimidazole (name of article; 2EZ), There are 2-isopropylimidazole (name of article; 2IZ), 1-cyanoethyl-2-ethyl-4-methylimidazole (name of article; 2E4 MZ-CN), 1-cyanoethyl-2-undecylimidazole (name of article; C<sub>11</sub>Z-CN), etc. It is desirable especially to use a liquefied imidazole hardening agent at 25 \*\*, For example, 1-benzyl-2-methylimidazole (name of article; 1 B-2 MZ), 1-cyanoethyl-2-ethyl-4-methylimidazole (name of article; 2E4 MZ-CN), and 4-methyl-2-ethylimidazole (name of article; 2E4MZ) are mentioned. This imidazole hardening agent is the content in a resin filler, and it is desirable that it is 1 to 10 % of the weight.

[0015]In addition, as an addition ingredient, inorganic particles, such as silica, alumina, mullite, and zirconia, are good. As for mean particle diameter of this inorganic particle, it is desirable that it is 0.05-5.0 micrometers. As for loadings of an inorganic particle, it is desirable that



they are about 1.0 to 2.0 times to bisphenol type epoxy resin. A problem in particular does not have a difference according [ each medicine ] to a grade with a best, the first class, and an industrial reagent. Since restoration nature into a through hole is improved by combining an additive component or a coefficient of thermal expansion of a resin filler in a through hole is adjusted, a crack, exfoliation, etc. are prevented.

[0016]then, hardening -- or semi-hardening is carried out. In order to take out the smooth nature of a core substrate depending on the case, chemical etching may remove a portion protruded from a through hole with physical polish of a buff, a belt sander, a jet scrub, etc. or acid, an oxidizer, etc. A core substrate which consists of a resin filler containing a high dielectric, a through hole which has a flow, and a land by it is obtained.

[0017]A resin insulating layer is given to an above-mentioned core substrate. A roughened layer may be made to form in a conductor circuit. As a resin insulating layer, a complex of thermosetting resin, thermoplastics, thermosetting resin, and thermoplastics or resin which replaced a basis which has photosensitivity by them may be sufficient. As an example, there is resin currently used for printed wired boards, such as an epoxy resin, phenol resin, polyimide resin, and phenoxy resin. Resin which is a lower dielectric constant may be used in a high frequency region. It is good for a dielectric constant at 1 GHz to use especially polyolefin system resin, polyphenylene system resin, a fluoro-resin, etc. which are 3.0 or less resin. It is good for formation of a resin insulating layer to stick a film of spreading or the shape of a B stage by heating, application of pressure, or heat pressing.

[0018]Next, an opening which becomes a resin insulating layer with a viahole with a photograph and laser is formed. And a breakthrough for inner layer through holes is provided in an outer layer through hole via a resin insulating layer at a resin filler by drill and laser. When forming an opening and a breakthrough for inner layer through holes used as a

viahole by laser, carbon dioxide gas laser, excimer laser, UV laser, an YAG laser, etc. can be used. A path of a breakthrough for inner layer through holes is formed at 75-200 micrometers. Especially a desirable thing is 100-150 micrometers. Then, dry etching processing of chemical etching processing of DESUMIA etc., plasma, corona treatment, etc., etc. is performed, a smear of resin in a wall of a breakthrough for inner layer through holes is removed, and formation of a metal layer is made to promote by removing a residue of resin.

[0019]Next, Cu, nickel, P, Pd, Co, W, Au, and Ag provide one or more layers of metal layers which are at least one or more sorts on a resin insulating layer in the inside of an opening used as a viahole, and a wall of a breakthrough for inner layer through holes. A metal layer constitutes a capacitor as an electrode with a conductor metal of an outer layer through hole wall. Thereby, a capacitor function can be built in a coaxial through hole. As for the thickness, being formed at 0.1-2 micrometers is desirable. Two-layer composition in which it was made to form in by plating, weld slag, or weld slag, and also plating was made to form may be sufficient as a metal layer. A roughened surface may be established in a surface of a resin insulating layer. A surface of a resin insulating layer is provided with acid, an oxidizer, etc., and a roughened surface is established by chemical etching. As acid, sulfuric acid, nitric acid, chloride, phosphoric acid, etc. are good for chromic acid, chromate salt, a permanganate, etc. making a roughened surface form as an oxidizer again. Moreover, the above-mentioned metal layer is made to form. And nonelectrolytic plating is performed and an electroless plating film is formed on a metal layer.

[0020]A photosensitive resin film (dry film) is laminated on a resin insulating layer in a substrate which performed nonelectrolytic plating to the inside of an opening used as a viahole, and a breakthrough for outer layer through holes. And a photo mask (a glass substrate is good) in which a plating resist pattern was drawn is stuck on this photosensitive resin

film, and it lays, and exposes, and a development is carried out. Thereby, a non-conductor part which allocated a plating resist pattern can be formed.

[0021]Electrolysis plating is performed in addition to a non-conductor part on an electroless plating film, and an electrolysis plating film is provided in an opening and a breakthrough for inner layer through holes which serve as a viahole a conductor part top of nonelectrolytic plating. As electrolysis plating, it is desirable to use electrolytic copper plating, and, as for the thickness, 5-20 micrometers is good.

[0022]Next, plating resist of a non-conductor circuit portion is removed by an alkaline aqueous solution etc. Then, etching reagents, such as mixed liquor of sulfuric acid and hydrogen peroxide, sodium persulfate, ammonium persulfate, ferric chloride, and a cupric chloride, remove a metal layer and an electroless plating film of a non-conductor circuit portion further. This obtains a conductor circuit and a viahole which consist of two-layer [ of an electroless plating film and an electrolysis plating film ] on a resin insulating layer. In a breakthrough for inner layer through holes, a inner layer through hole which consists of three layers, a metal layer, an electroless plating film, and an electrolysis plating film, is obtained. A viahole may make flat field beer form.

[0023]Next, you make it filled up with a crevice in a inner layer through hole. When making an insulating resin layer which consists the upper layer of films further form, an insulating layer and a resin filler may be made to form simultaneously, although restoration may be made to fill up with above methods. You make it filled up with at least one, such as a resin filler, a resin filler which filler metal contained, copper, solder, and nickel, in a inner layer through hole. the conventional resin filler -- an organic resin filler and an inorganic filler -- 0.1 - 20vol% -- it could be made to blend As for this resin filler, it is preferred to adjust viscosity so that it may become a 30 - 50 Pa.s grade.

[0024]A substrate which performed nonelectrolytic plating on the above-

mentioned resin insulating layer is made to laminate an electrolysis plating film, electroless plating films, or those complex plating films further as the other method. A substrate which laminated the plating film is made to fill up with a resin filler. that time -- hardening -- or it may grind, after carrying out semi-hardening, and a plating membrane layer and a resin filled layer may be made flat. Form etching resist, lay a mask in which wiring was drawn, and Exposure, Through development, a wiring layer of resist may be made to form and it may carry out by removing a plating membrane layer and making resist exfoliate using an etching reagent which consists of the sulfuric acid-hydrogen-peroxide-solution, ferric chloride, cupric-chloride, and organic salt acid-second copper complex. As an etching reagent, all things used by manufacture of a printed wired board besides the above can be used.

[0025]It is possible by making a through hole of relevance divide to also make wiring to form divide. Thereby, further, it can let many wiring pass to a core substrate, and densification can be attained.

[0026]A multilayer printed wiring board is obtained by giving a resin insulating layer to the upper layer and making a conductor circuit and a viahole form. And a solder resist layer is formed in a surface. It is good for formation of a solder resist layer to stick spreading or a film by heating, application of pressure, or heat pressing. A solder resist layer provides soldering pads with a photograph and laser, and makes anticorrosion metal layers, such as nickel/Au and nickel/Pd/Au, form in a portion exposed from soldering pads. When forming soldering pads by laser, carbon dioxide gas laser, excimer laser, UV laser, an YAG laser, etc. can use. The opening of the soldering pads which a solder bump of IC chip connection makes form is carried out with an opening diameter of 100-200 micrometers, and the opening of the soldering-pads portion in which BGA/PGA is made to allocate for external terminal connection is carried out with an opening diameter of 300-650 micrometers.

[0027]

[Embodiment of the Invention] Hereafter, the embodiment of this invention is described with reference to figures. First, about the composition of the printed wired board used as a package substrate concerning a 1st embodiment of this invention, drawing 7 and drawing 8 are made reference, and are explained. Drawing 7 shows the sectional view of the package substrate 10 concerning a 1st embodiment of this invention. Drawing 8 is an explanatory view showing the composition of the through hole concerning a 1st embodiment of this invention.

[0028] As for the package substrate 10, the buildup wiring layers 80A and 80B are formed in the surface and the rear face of the core substrate 30. The buildup wiring layers 80A and 80B consist of the resin insulating layer 44 between layers in which the conductor circuit 58 and the viahole 60 were formed, and the resin insulating layer 144 between layers in which the conductor circuit 158 and the viahole 160 were formed. The buildup wiring layer 80A and the buildup wiring layer 80B are connected via the coaxial through hole 66 and the through hole 34 for a flow which were formed in the core substrate 30. The solder resist layer 70 is formed on the resin insulating layer 144 between layers, and the solder bumps 76U and 76D are formed in the conductor circuit 158 and the viahole 160 via the opening 71 of the solder resist 70. The solder bump 76U is connected to the pad 92 of IC chip 90. On the other hand, the solder bump 76D is connected to the pad 96 of the daughter board 94.

[0029] As shown in drawing 8, the coaxial through hole 66 comprises the outer layer through hole 36 and the inner layer through hole 62. The outer layer through hole 36 and the inner layer through hole 62 have connected the buildup wiring layer 80A and the buildup wiring layer 80B, respectively. The metal membrane 38 is formed in the wall surface of the breakthrough 33 of the core substrate 30, and the outer layer through hole 36 grows into it. And in the outer layer through hole 36, the resin filler 40

for outer layer through holes which the high dielectric thing contained is allocated. The inner layer through hole 62 is formed inside the resin filler 40 for outer layer through holes.

[0030]Next, the composition of the inner layer through hole 62 is explained. As shown in drawing 8, the inner layer through hole 62 consists of three layers, the metal layer 50, the electroless plating film 52, and the electrolysis plating film 56. Or it may form each by two layers. It fills up with the resin filler 64 for inner layer through holes inside the inner layer through hole 62. Via the resin filler 40 for outer layer through holes which the high dielectric thing contained, with the outer layer through hole 36, the inner layer through hole 62 serves as an electrode, and constitutes a capacitor.

[0031]In the printed wired board of a 1st embodiment, a titanate or PEROSU kite system material is used as the resin filler 40 for outer layer through holes. As a titanate, barium titanate, lead titanate, strontium titanate, The charge of an alloy of the titanic acid and metal which consist of titanic acid calcium, titanic acid bismuth, titanic acid magnesium, etc. is meant, and the charge of an alloy at large which is  $MgxNyboz$  at least is meant as a PEROSU kite system material. Also in it, it is good to use barium titanate. It is because it is easy to adjust a dielectric constant and the resinous principle of resin fillers other than a high dielectric thing, separation, exfoliation, etc. cannot break out easily as the Reason. The above-mentioned construction material raises the dielectric constant of the resin filler 40 for outer layer through holes, and the capacity as a capacitor is increased.

[0032]Compared with what built the capacitor in the conventional substrate, it is possible to form many through holes with a substrate. Therefore, the printed wired board which had a capacitor function and carried out densification of the wiring and which is excellent in an electrical property can be obtained.

[0033]Then, the manufacturing method of the above-mentioned package substrate 10 concerning a 1st embodiment of this invention is explained. Here, the presentation of the resin filler for through holes for A. flow used for the manufacturing method of this package substrate, the resin filler for B. outer layer through holes, and the resin filler for C. inner layer through holes is explained first.

[0034]A. The resin filler for through holes for a flow [Resin composition \*\*] a bisphenol female mold epoxy monomer (the product made from oil recovery shell, and the molecular weight 310.) Mean particle diameter with which 983UYL100 weight section and the surface were coated with the silane coupling agent SiO<sub>2</sub> spherical particle which is 1.6 micrometers (the product made from the Admer tech, CRS 1101-CE, and here) below the thickness (15 micrometers) of the inner layer copper pattern mentioned later carries out the size of grain of maximum size -- the viscosity of the mixture was obtained by adjusting it to 45,000-49,000 cps at 23\*\*1 \*\* by carrying out stirring mixing of 170 weight sections and the leveling agent (Sannopuko make, PERENORU S4) 1.5 weight section.

[Curing agent composition \*\*] Imidazole hardening agent (made in [ Shikoku Chemicals ], 2E4 MZ-CN) 6.5 Weight section.

[0035]B. Although it is almost the same as the resin filler A for outer layer through holes, [Resin composition \*\*] In inside, barium titanate (particle diameter [ of 5 micrometers ] and 10 10-micrometer mixed weight section) content was carried out.

[0036]C. The completely same thing as the resin filler for through holes for a resin filler A. flow for inner layer through holes was used.

[0037]Next, about the manufacturing method of this package substrate 10 concerning a 1st embodiment of this invention, drawing 1 - drawing 7 are made reference, and are explained.

[0038]Let copper clad laminate 30A which the 12-micrometer copper foil 31 laminates to both sides of the substrate 30 which consists of glass epoxy

resin with a manufacture (1) thickness of 0.8 mm or BT (bismaleimide triazine) resin of a package substrate be a charge of a start material (drawing 1 (A)). First, it drills a hole through this copper clad laminate 30A with a drill, and the through hole breakthrough 32 for a flow 350 micrometers in diameter and the breakthrough 33 for outer layer through holes 350 micrometers in diameter are formed (drawing 1 (B)). The opening diameter of the breakthrough 33 for outer layer through holes is good to form at 200-400 micrometers. Especially a desirable thing is 250-350 micrometers. The opening diameter of the breakthrough 32 for through holes for a flow is good to form at 50-400 micrometers.

[0039](2) Then, perform non-electrolytic copper plating processing to the substrate 30, and form the through hole 34 for a flow, and the outer layer through hole 36 (drawing 1 (C)). The inner layer copper pattern (metal membrane) 38 is formed in both sides of the substrate 30 by etching the copper foil 31 on a pattern in accordance with a conventional method (drawing 1 (D)).

[0040](3) Wash in cold water and dry the substrate 30 in which the inner layer copper pattern (metal membrane) 38 and the through hole 34 for a flow, and the outer layer through hole 36 were formed. Then, as an oxidation bath (melanism bath) as NaOH (10 g/l), NaClO<sub>2</sub> (40 g/l), Na<sub>3</sub>PO<sub>4</sub> (6 g/l), and a reduction bath, The roughened layers 34alpha, 36alpha, and 38alpha are formed in the surface of the inner layer copper pattern (metal membrane) 38 and the through hole 34 for a flow, and the outer layer through hole 36 by oxidation-reduction processing using NaOH (10 g/l) and NaBH<sub>4</sub> (6 g/l). Although the roughened layer was provided in the embodiment, if adhesion of resin is securable, it is not necessary to provide a roughened layer (drawing 1 (E)).

[0041](4) Make the through hole 34 for a flow, and the outer layer through hole 36 fill up with a resin filler. First, the resin filler 40 for outer layer through holes adjusted to the outer layer through hole 36 by the above-



mentioned B is made to fill up with printing (drawing 2 (A)). As a high dielectric thing to contain in B, it is good to use a titanate or PEROSU kite system material. As a titanate, barium titanate, lead titanate, strontium titanate, The charge of an alloy of the titanic acid and metal which consist of titanic acid calcium, titanic acid bismuth, titanic acid magnesium, etc. is meant, and the charge of an alloy at large which is  $MgxNybo_z$  at least is meant as a PEROSU kite system material. Also in it, it is good to use barium titanate. It is because it is easy to adjust a dielectric constant and the resinous principle of resin fillers other than a high dielectric thing, separation, exfoliation, etc. cannot break out easily as the Reason. It is preferred to adjust the viscosity of a resin filler so that it may become a 30 · 50 Pa.s grade. Next, you make it filled up with the resin filler 42 for through holes for a flow adjusted to the through hole 34 for a flow by the above-mentioned A (drawing 2 (B)).

[0042](5) By belt sander polish using belt abrasive paper (made by Sankyo Rikagaku), one side of the substrate 30 which finished processing of the above (4). The surface of the lower layer conductor circuit (inner layer copper pattern) 38, and the land 34a of the through hole 34 for a flow, and the outer layer through hole 36, It grinds so that the resin filler 40 for outer layer through holes and the resin filler 42 for through holes for a flow may not remain in 36a surface, and it ranks second, and buffing for removing the crack by the above-mentioned belt sander polish is performed. Such a series of processes are similarly performed about the field of another side of a substrate, and heat cure of the filled resin filler 40 for outer layer through holes and the resin filler 42 for through holes for a flow is carried out (drawing 2 (C)).

[0043](6) Next, the land 34a of the surface of the lower layer conductor circuit 38, the through hole 34 for a flow, and the outer layer through hole 36 by which flattening was once carried out to both sides of the substrate 30 which finished processing of the above (5) like the above (3), By

performing oxidation-reduction processing for 36a surface, the roughened surfaces 34beta, 36beta, and 38beta are formed in the surface of the lower layer conductor circuit 38 and the land 34a, and 36a surface (drawing 2 (D)).

[0044](7) Vacuum-pressure-arrival-laminate to both sides of the substrate 30 which finished the above-mentioned (6) process by pressure 5 kg/cm<sup>2</sup>, carrying out temperature up of the 50-micrometer-thick heat-hardened type polyolefin-system-resin sheet to the temperature of 50-150 \*\*, and form in them the resin insulating layer 44 between layers which consists of polyolefin system resin (drawing 2 (E)). As a resin insulating layer, the resin which consists of thermosetting resin and thermoplastics, or the resin which replaced the basis which has photosensitivity by them may be sufficient. As an example, there is resin currently used for printed wired boards, such as an epoxy resin, polyphenol resin, and polyimide resin. Resin which is a lower dielectric constant may be used in a high frequency region. The degree of vacuum at the time of the vacuum pressure arrival of resin is 10mmHg.

[0045](8) Next, form the opening 46 used as a viahole in the resin insulating layer 44 between layers (drawing 3 (A)). The opening for viaholes 80 micrometers in diameter is provided in the resin insulating layer 44 between layers which becomes formation from polyolefin system resin or epoxy system resin with a carbonic acid (CO<sub>2</sub>) gas laser on the beam diameter of 5 mm, 15 microseconds of pulse width, the bore diameter of 0.8 mm of a mask, and the conditions of one shot.

[0046]Then, the breakthrough 48 for inner layer through holes is formed in the outer layer through hole 36 with a drill or laser (drawing 3 (B)). In the case of laser, the breakthrough 48 which penetrates the resin filler 40 for outer layer through holes which contained the high dielectric of the core substrate with the carbonic acid (CO<sub>2</sub>) gas laser with the beam diameter of 5 mm, a single mode, and 60 microseconds of pulse width, and

the resin insulating layer 44 between layers is formed. The smear in the breakthrough 48 for inner layer through holes is removed if needed by dry etching processing of the wet process of permanganic acid etc. or plasma, corona treatment, etc. The path of the breakthrough 48 for inner layer through holes is good to be formed at 50-200 micrometers.

[0047](9) Perform plasma treatment to the substrate 30 which formed the opening 46 used as a viahole in the resin insulating layer 44 between layers, roughen the surface of the resin insulating layer 44 between layers, and form the roughened layer 44 alpha (drawing 3 (C)). Under the present circumstances, argon gas is used as inactive gas and plasma treatment is carried out for (plasma device Japan vacuum-technology incorporated company make SV-4540) and 2 minutes on the electric power 200W, 0.6 Pa of gas pressure, and conditions with a temperature of 70 \*\*.

[0048](10) Form the metal layer 50 which carried out the target of the alloy of Cu (nickel, P, Pd, Co, W) to the surface of the resin insulating layer 44 between layers, and the breakthrough 48 for inner layer through holes by sputtering (drawing 3 (D)). As formation conditions, it carries out in atmospheric pressure [ of 0.6 Pa ], temperature [ of 80 \*\* ], electric power 200W, and time 5 minutes (plasma device Japan vacuum-technology incorporated company make SV-4540). Thereby, an alloy layer can be made to form in the surface of the resin insulating layer 44 between layers, and the breakthrough 48 for inner layer through holes. The metal layer 50 constitutes a capacitor with the outer layer through hole 36 as an electrode. The thickness of the metal layer 50 at this time is 0.2 micrometer. As thickness of the metal layer 50, 0.1-2 micrometers is good. It is possible to also carry out by vacuum evaporation besides weld slag and to also make a plating layer form without performing weld slag.

[0049](11) Carry out the conditioning of the substrate 30 and perform catalyst grant for 5 minutes in alkali catalyst liquid. Activation of the substrate 30 is carried out and the 0.5-micrometer-thick electroless plating

film 52 is attached by a Rochell salt type chemicals copper-plating bath (drawing 4 (A)). The plating conditions of chemicals coppering:  $\text{CuSO}_4$  and  $5\text{H}_2\text{O}$  10g/l  $\text{HCHO}$  8 g/l  $\text{NaOH}$  5 g/l Rochell salt 45 g/l additive agent 30 ml/l temperature 30 °C \*\* plating time 18 minutes [0050](12) On the electroless plating film 52, a 20-micrometer-thick photographic sensitive film (dry film) is stuck, a mask is laid, a development is carried out by exposure and 0.8 % sodium carbonate by 100 mJ/cm<sup>2</sup>, and the 20-micrometer-thick plating resist 54 is formed (drawing 4 (B)).

[0051](13) Electrolysis plating is performed to the agenesis part of the plating resist 54 on the electroless plating film 52, and the electrolysis plating film 56 is formed (drawing 4 (C)). As thickness of the electrolysis plating film 56, 5-20 micrometers is good.

$\text{CuSO}_4$  and  $5\text{H}_2\text{O}$  140 g/l  $\text{H}_2\text{SO}_4$  120 g/l  $\text{Cl}^-$  50mg/l. Additive agent 300 mg/l sulfonic acid amine 100 mg/l temperature 25 °C \*\* Current density 0, 8 A/dm<sup>2</sup> plating time 30 minutes Thickness 18 micrometers [0052](14) Rank second and carry out the strip of the plating resist 54 in 50 °C and a 40-g/l  $\text{NaOH}$  aqueous solution. Then, etching removes the metal layer 50 and the electroless plating film 52 under the resist 54 using a sulfuric acid-hydrogen-peroxide-solution solution, The conductor circuit 58 (the viahole 60 is included) is formed on the resin insulating layer 44 between layers, and the inner layer through hole 62 is formed in the outer layer through hole 36 (drawing 4 (D)). Via the resin filler 40 for outer layer through holes which the high dielectric thing contained, with the outer layer through hole 36, the inner layer through hole 62 serves as an electrode, and constitutes a capacitor.

[0053](15) Next, it is filled up with the resin filler 64 for inner layer through holes of the above-mentioned C in the inner layer through hole 62 as well as the process of above-mentioned (3) - (5). As for the viscosity of the resin filler 64 for inner layer through holes, it is preferred to adjust so that it may become a 30 - 50 Pa.s grade. It is more preferred than the resin

filler 40 for outer layer through holes to make low viscosity of the resin filler 64 for inner layer through holes, and to raise restoration nature. Thereby, the coaxial through hole 66 which comprises the outer layer through hole 36 and the inner layer through hole 62 can be formed (drawing 5 (A)).

[0054](16) After that, form the resin insulating layer 144 between layers in the upper layer, form the conductor circuit 158 (the through hole 160 is included) through the process of above-mentioned (8) - (15), and obtain the package substrate which consists of six layers (drawing 5 (B)).

[0055](17) Oligomer (molecular weight 4000) of the photosensitive grant which, on the other hand, acrylic-ized 50% of the epoxy group of 60% of the weight of the cresol novolak type epoxy resin (made by Nippon Kayaku) dissolved in DMDG 46.67 g, 80% of the weight of the bisphenol A type epoxy resin (the product made from oil recovery shell.) in which methyl ethyl ketone was dissolved Epicoat 1001 15.0g and an imidazole hardening agent (made in Shikoku Chemicals.) trade name: -- the multivalent acrylic monomer (the Nippon Kayaku make.) which are 2E4 MZ-CN 16g and a photosensitive monomer R604 -- similarly 3 g a 1.5 g multivalent acrylic monomer (the product made from the Kyoeisha chemicals, DPE6A), It is alike and 0.71 g of dispersed system defoaming agents (the Sannopuko make, S-65) are mixed, It is [ as opposed to / furthermore / this mixture ] a Michler's ketone (made by Kanto Kagaku) as 2 g and a photosensitizer about the benzophenone (made by Kanto Kagaku) as a photoinitiator. 0.2g, in addition the soldering resist composition which adjusted viscosity to 2.0 Pa·s at 25 \*\* are obtained. Measurement of viscosity is a Brookfield viscometer (Tokyo Keiki and DVL-B type). In the case of 60 rpm, in the case of rotor No.4 and 6 rpm, it is based on rotor No.3.

[0056](18) Apply the above-mentioned soldering resist composition to both sides of the package substrate obtained by the above-mentioned (17) by a thickness of 20 micrometers. Subsequently, after carrying out for 20

minutes at 70 °C and performing the drying process for 30 minutes at 70 °C, the photomask film which is 5 mm in thickness by which the circle pattern (mask pattern) was drawn is stuck, it lays, and a DMTG development is exposed and carried out by the ultraviolet rays of 1000 mJ/cm<sup>2</sup>. At 120 °C by 100 °C at 80 °C further for 1 hour for 1 hour And 1 hour, It heat-treats on the conditions of 3 hours at 150 °C, and the solder resist layer 70 (20 micrometers in thickness) which has the openings 71U and 71D into a soldering-pads portion (a viahole and its land part are included) is formed (drawing 5 (C)). The soldering pads in which the solder bump of IC chip connection is made to form are good to carry out an opening with the opening diameter of 100-170 micrometers. The soldering pads in which BGA/PGA is made to allocate for external terminal connection are good to carry out an opening with the opening diameter of 300-650 micrometers.

[0057](19) After that and nickel chloride 2.3 x10<sup>-1</sup>mol/l, It is immersed in the electroless nickel plating liquid of pH[ sodium hypophosphite 2.8 x10<sup>-1</sup>mol/l, sodium-acid-citrate 1.6 x10<sup>-1</sup>mol/l, °C and others ] =4.5 for 20 minutes, and the 5-micrometer-thick nickel plating layer 72 is formed in the openings 71U and 71D. On a surface, then, gold cyanide potassium 7.6 x10<sup>-3</sup>mol/l, Ammonium chloride 1.9 x10<sup>-1</sup>mol/l, sodium-acid-citrate 1.2 x10<sup>-1</sup>mol/l, It is immersed in the unelectrolyzed gold plating liquid which consists of sodium hypophosphite 1.7 x10<sup>-1</sup>mol/l for 7.5 minutes on 80 °C conditions, and the 0.03-micrometer-thick gold plating layer 74 is formed on the nickel plating layer 72 (drawing 5 (D)).

[0058](20) And by printing soldering paste to the openings 71U and 71D of the solder resist layer 70 as a low melting point metal, and carrying out a reflow to them at 200 °C, form the solder bumps (solder object) 76U and 76D, and complete the package substrate 10 (refer to drawing 6).

[0059]It lays in the solder bump 76U of the completed package substrate 10 so that the pad 92 of IC chip 90 may correspond, and a reflow is

performed to him, and IC chip 90 is carried. The package substrate 10 in which this IC chip 90 was carried is laid so that it may correspond to the vamp 96 by the side of the daughter board 94, a reflow is performed, and it attaches to the daughter board 94 (refer to drawing 7). It enables this to obtain the package substrate in which BGA is allocated, which has a capacitor function and carried out densification of the wiring and which is excellent in an electrical property.

[0060]PGA may be allocated although the case where BGA was allocated was illustrated about the manufacturing method of the package substrate 10 concerning a 1st embodiment of this invention. The process to (1) - (19) is also the same as when PGA is allocated. The process after it is explained. First, soldering paste is printed as the electroconductive glue 78 in the opening 71D which becomes the undersurface side (connecting face with a daughter board and a mother board) of a substrate. Next, the conductive connecting pin 90 is attached to the suitable pin supporting structure, and is supported, and the holding part 92 of the conductive connecting pin 90 is made to contact the electroconductive glue 78 in the opening 71D. And a reflow is performed and the conductive connecting pin 90 is fixed to the electroconductive glue 78. Or it puts in what formed the electroconductive glue 78 in ball state etc. in the opening 71D as a mounting arrangement of the conductive connecting pin 90, the electroconductive glue 78 may be joined to the holding part 92, the conductive connecting pin 90 may be attached, and a reflow may be carried out after that. The solder bump 76 is formed in the opening 71U on top, the solder bump 76 is laid in it so that the pad 92 of IC chip 90 may correspond, a reflow is performed to it, and IC chip 90 is carried in it. (Refer to drawing 9). The package substrate which has the capacitor function in which PGA is allocated and carried out densification more by this and which is excellent in an electrical property can be obtained.

[0061](A 2nd embodiment) The composition of the printed wired board

concerning a 2nd embodiment is shown in drawing 11, and the through hole in drawing 11 is expanded and shown in drawing 12. The printed wired board of a 2nd embodiment is the same as that of a 1st embodiment almost. However, in a 2nd embodiment, the lid plating part 94 was formed right above the inner layer through hole 62, and the inner layer through hole 62 and the upper conductor circuit 158 are connected via the lid plating part 94. By making the lid plating part 94 intervene, the connectivity of the inner layer through hole 62 and the upper conductor circuit 158 improves. When the lid plating part 94 is allocated, the manufacturing process to (1) - (15) is also the same as that of a 1st embodiment. The manufacturing process after it is explained with reference to drawing 10.

[0062](16) Perform nonelectrolytic plating to a substrate and form the electroless plating film 68 (drawing 10 (A)).

[0063](17) Perform electrolysis plating and form the electrolysis plating film 69, after ranking second and forming the resist 67 of a prescribed pattern in a substrate (drawing 10 (B)). Then, the lid plating part 94 which consists of the electroless plating film 68 and the electrolysis plating film 69 is formed on the inner layer through hole 62 after exfoliating the resist 67 by removing the electroless plating film 68 under the resist 67 by light etching (drawing 10 (C)).

[0064](18) After that, form the resin insulating layer 144 between layers in the upper layer, form the conductor circuit 158 (the through hole 160 is included) through the process of (8) - (14) mentioned above in a 1st embodiment, and obtain the package substrate which consists of six layers (drawing 10 (D)). Future manufacturing processes are the same as that of (17) - (20) of a 1st embodiment.

[0065](A 3rd embodiment) The composition of the printed wired board concerning a 3rd embodiment is shown in drawing 13, and the through hole in drawing 13 is expanded and shown in drawing 14. The printed



wired board of a 3rd embodiment is the same as that of a 1st embodiment almost. However, although the resin filler 64 for inner layer through holes was filled up with a 1st embodiment in the inner layer through hole 62, the inner layer through hole 62 is filled up with a 3rd embodiment by plating. [0066]In the composition of a 1st and 2nd embodiment, the stress generated in the inner layer through hole 62 can be missed to the resin filler 64 side for inner layer through holes by being filled up with the resin filler 64 for inner layer through holes in the inner layer through hole 62. On the other hand, since the inner layer through hole 62 is filled up with copper plating, it can constitute from a 3rd embodiment in a byway, and a manufacturing cost can be reduced.

[0067](A 4th embodiment) The manufacturing process of the printed wired board concerning a 4th embodiment is explained with reference to drawing 15 and drawing 16.

(1) Let copper clad laminate 30A which the 12-micrometer copper foil 31 laminates to both sides of the substrate 30 which consists of 0.8-mm-thick glass epoxy resin or BT (bismaleimide triazine) resin be a charge of a start material (drawing 15 (A)). First, it drills a hole through this copper clad laminate 30A with a drill, and the through hole breakthrough 32 for a flow 350 micrometers in diameter and the breakthrough 33 for outer layer through holes 350 micrometers in diameter are formed (drawing 15 (B)).

[0068](2) Then, perform non-electrolytic copper plating processing to the substrate 30, and form the electroless plating film 37a (drawing 15 (C)).

(3) Current is sent via the electroless plating film 37a, the electrolysis plating film 37b is formed, thereby, the through hole 34 for a flow is formed in the through hole breakthrough 32 for a flow, and the outer layer through hole 36 is formed in the breakthrough 33 for outer layer through holes (drawing 15 (D)).

[0069](4) Make the through hole 34 for a flow, and the outer layer through hole 36 fill up with a resin filler. First, the same resin filler 40 for outer

layer through holes as a 1st embodiment is made to fill up into the outer layer through hole 36 with printing (drawing 15 (E)).

[0070](5) Next, you make it filled up with the resin filler 42 for through holes for a flow adjusted to the through hole 34 for a flow by the above-mentioned A (drawing 16 (A)).

[0071](5) By belt sander polish using belt abrasive paper (made by Sankyo Rikagaku), one side of the substrate 30. It grinds so that the resin filler 40 for outer layer through holes and the resin filler 42 for through holes for a flow may not remain in the surface of the core substrate 30, and it ranks second, and buffing for removing the crack by the above-mentioned belt sander polish is performed (drawing 16 (B)).

[0072](6) Apply etching resist, lay and expose the mask in which wiring was drawn and which is not illustrated, and make the regist layer 39 form through development (drawing 16 (C)).

[0073](7) Remove the plating films 37a and 37b and the copper foil 31 with which the regist layer 39 is not covered using the etching reagent which consists of the sulfuric acid-hydrogen-peroxide-solution, ferric chloride, cupric-chloride, and organic salt acid-second copper complex. Then, the regist layer 39 is exfoliated (drawing 16 (D)). As an etching reagent, all the things used by manufacture of a printed wired board besides the above can be used. Since subsequent processes are the same as that of a 1st embodiment mentioned above with reference to drawing 1 (D) - drawing 5, explanation is omitted.

[0074](A 5th embodiment) Although it is the same as that of a 1st embodiment almost, in a 4th embodiment, the coaxial through hole 66 is divided into two, and the two distribution lines 36A and 36B, and 62A and 62B are formed (refer to drawing 17). Since two or more distribution lines are allocated in one through hole, thereby, further, it can let many wiring pass to a core substrate, and densification can be attained.

[0075]

[Effect of the Invention]In this invention, by having made the two-layer through hole mentioned above form, the number of the wiring which penetrates the rear surface of a core substrate can be increased, and densification of the printed wired board can be carried out. Since a high dielectric layer is formed in a through hole and it is made to function as a capacitor, malfunction and a stall can be prevented even when the IC chip of a high frequency region of 1 GHz or more is put.

[Brief Description of the Drawings]

[Drawing 1](A), (B), (C), (D), and (E) are the manufacturing process figures of the package substrate concerning a 1st embodiment of this invention.

[Drawing 2](A), (B), (C), (D), and (E) are the manufacturing process figures of the package substrate concerning a 1st embodiment of this invention.

[Drawing 3](A), (B), (C), and (D) are the manufacturing process figures of the package substrate concerning a 1st embodiment of this invention.

[Drawing 4](A), (B), (C), and (D) are the manufacturing process figures of the package substrate concerning a 1st embodiment of this invention.

[Drawing 5](A), (B), (C), and (D) are the manufacturing process figures of the package substrate concerning a 1st embodiment of this invention.

[Drawing 6]It is a sectional view of the package substrate concerning a 1st embodiment of this invention.

[Drawing 7]It is a sectional view showing the state where carried the IC chip in the package substrate concerning a 1st embodiment of this invention, and it attached to the daughter board.

[Drawing 8]It is an explanatory view showing the composition of the through hole concerning a 1st embodiment of this invention.

[Drawing 9]It is a sectional view of the package substrate concerning a 1st embodiment of this invention.

[Drawing 10](A), (B), (C), and (D) are the manufacturing process figures of the package substrate concerning a 2nd embodiment of this invention.

[Drawing 11]It is a sectional view of the package substrate concerning a

2nd embodiment of this invention.

[Drawing 12]It is an explanatory view showing the composition of the through hole concerning a 2nd embodiment of this invention.

[Drawing 13]It is a sectional view of the package substrate concerning a 3rd embodiment of this invention.

[Drawing 14]It is an explanatory view showing the composition of the through hole concerning a 3rd embodiment of this invention.

[Drawing 15](A), (B), (C), (D), and (E) are the manufacturing process figures of the package substrate concerning a 4th embodiment of this invention.

[Drawing 16](A), (B), (C), and (D) are the manufacturing process figures of the package substrate concerning a 4th embodiment of this invention.

[Drawing 17]It is a sectional view of the package substrate concerning a 5th embodiment of this invention.

[Description of Notations]

30 Core substrate

34 The through hole for a flow

36 Outer layer through hole

38 Inner layer copper pattern

40 The resin filler for outer layer through holes

42 The resin filler for through holes for a flow

44 The resin insulating layer between layers

48 The breakthrough for inner layer through holes

50 Metal layer

52 Electroless plating film

56 Electrolysis plating film

58 Conductor circuit

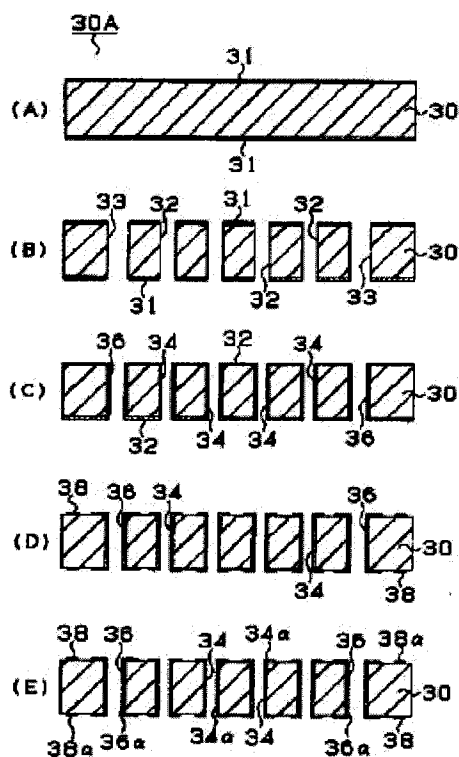
60 Viahole

62 Inner layer through hole

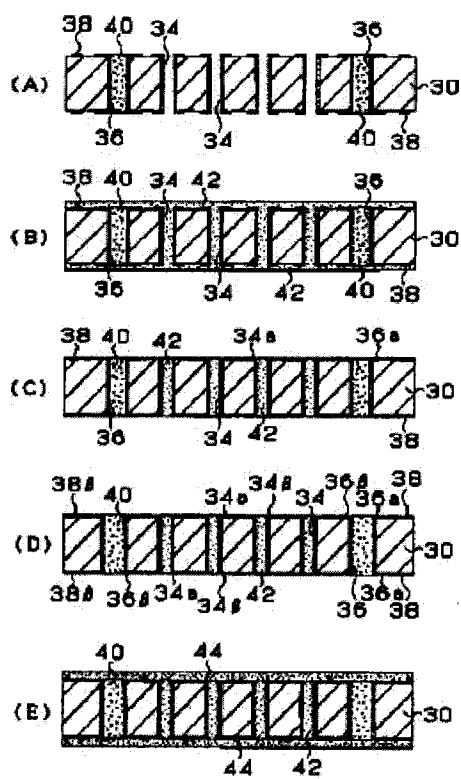
64 The resin filler for inner layer through holes

66 Coaxial through hole  
70 Solder resist layer  
71 Opening  
72 Nickel plating layer  
74 Gold plating layer  
76U, 76D solder bump  
78 Electroconductive glue  
80A, 80B buildup wiring layer  
90 A conductive connecting pin  
92 Holding part  
94 Lid plating part  
144 The resin insulating layer between layers  
158 Conductor circuit  
160 Viahole

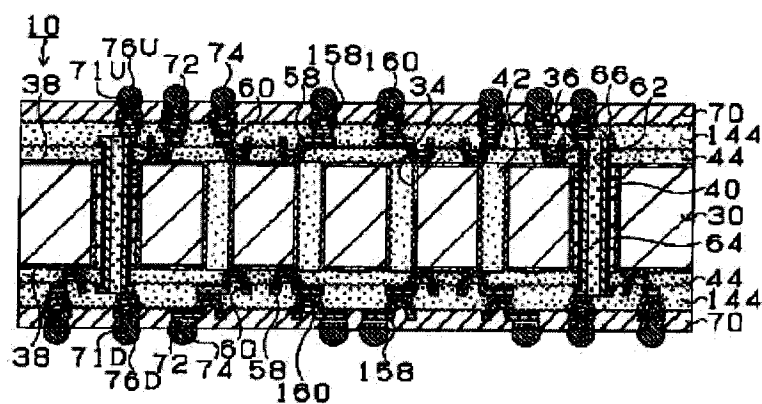
【図1】



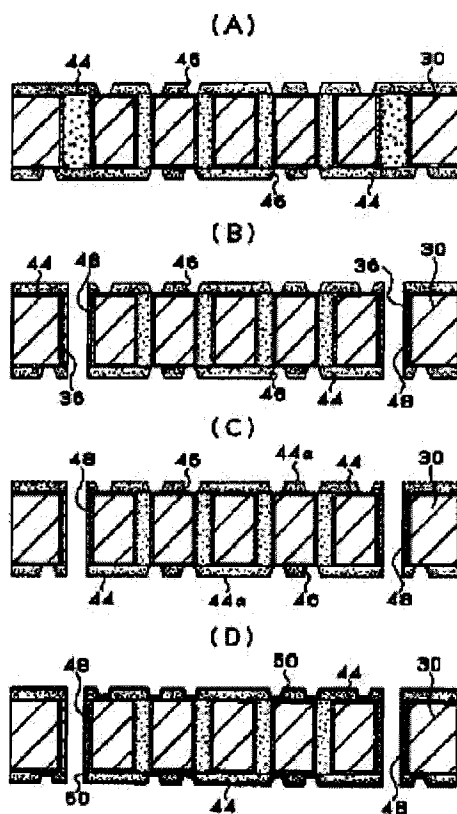
【図2】



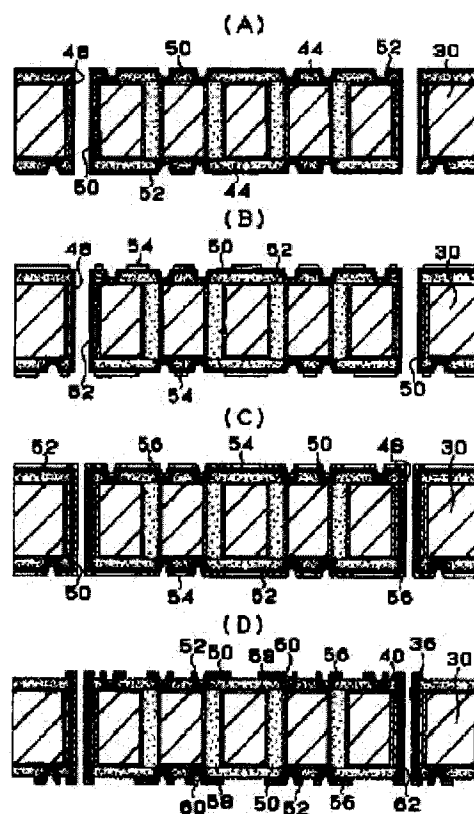
【図6】



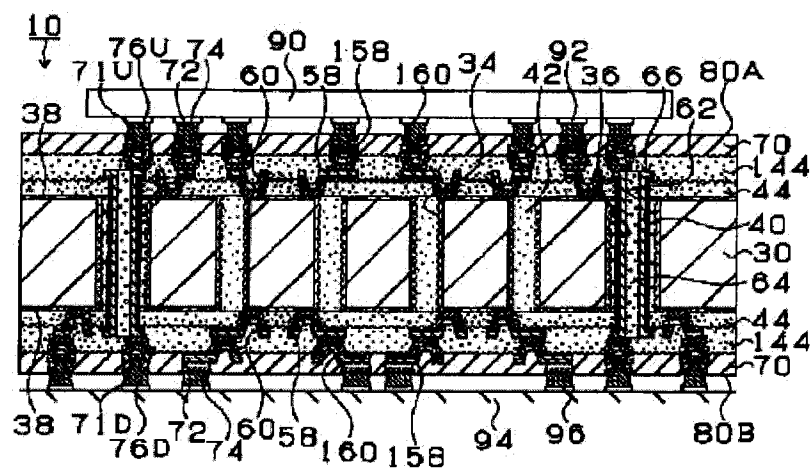
【图3】



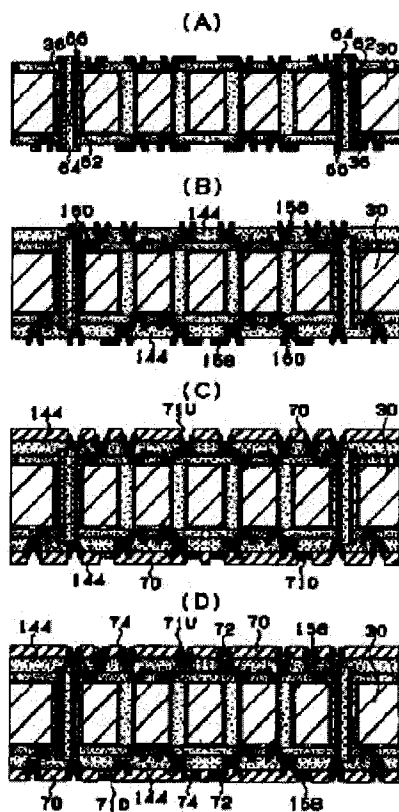
【圖 4】



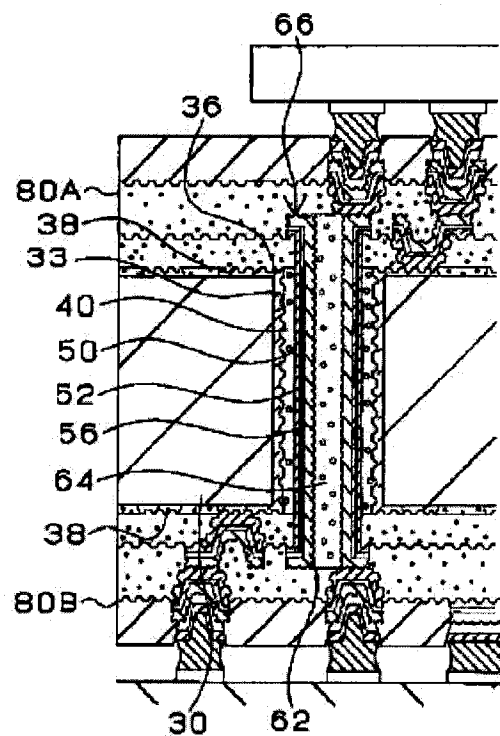
【例 7】



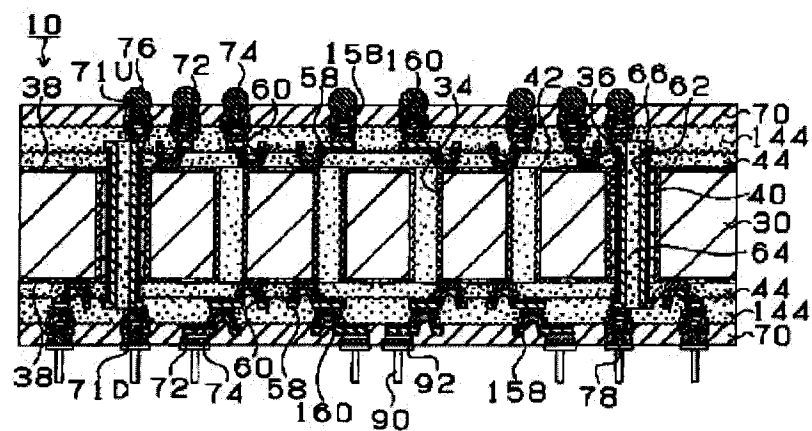
【図5】



【図8】

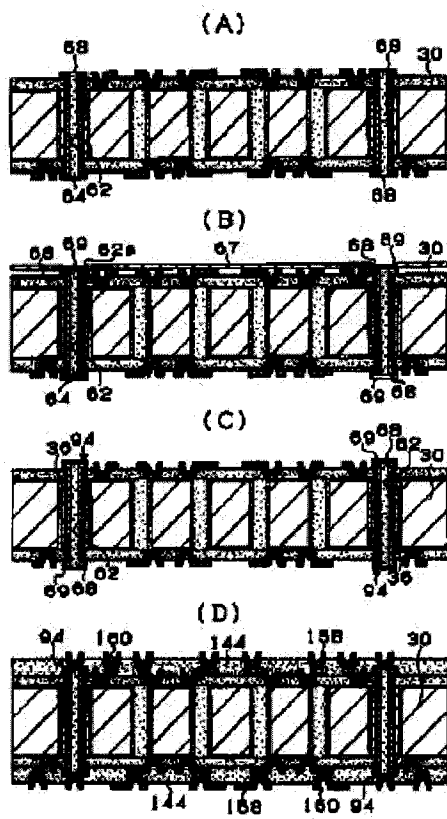


【図9】

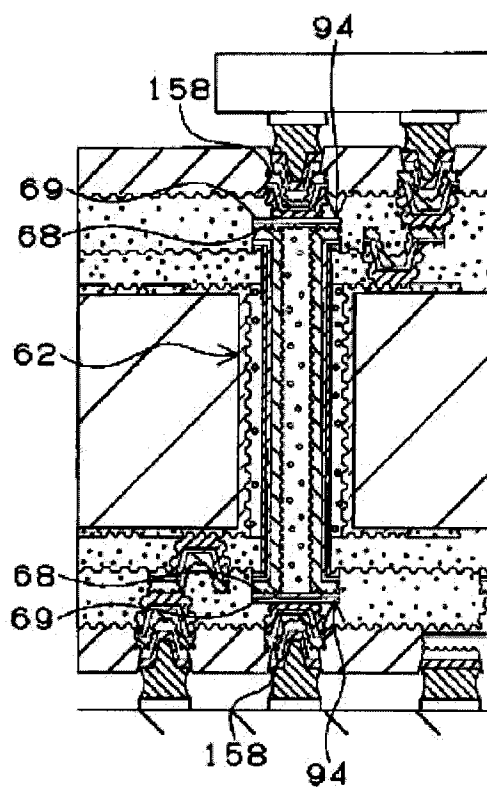




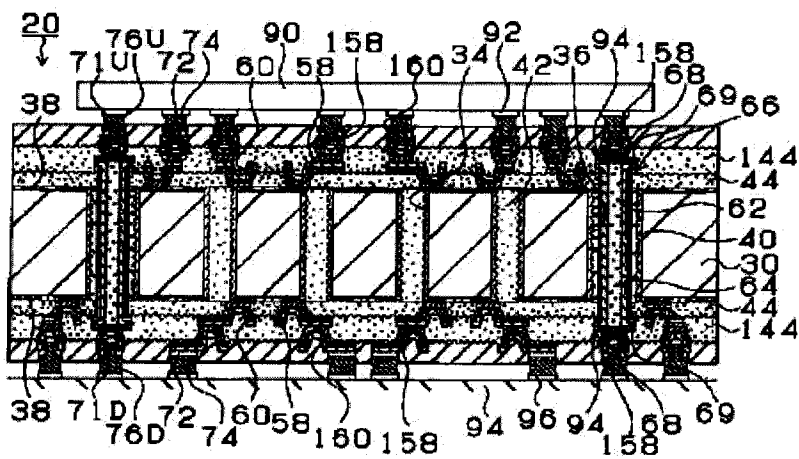
【図10】



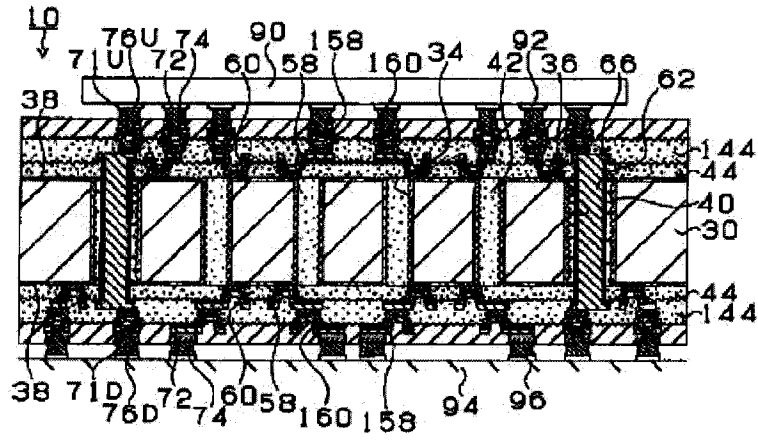
【図12】



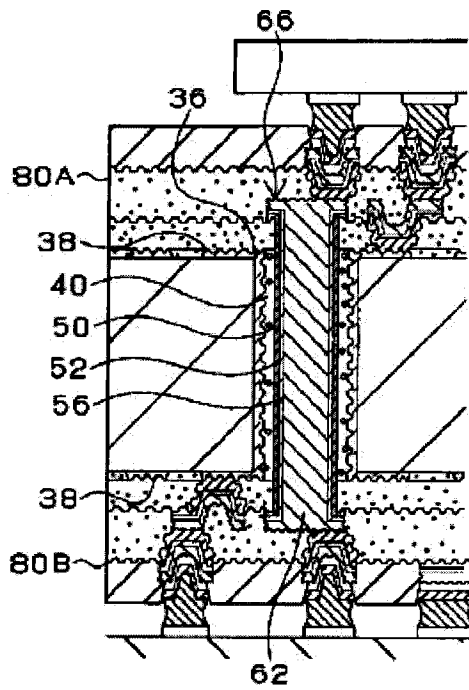
【図11】



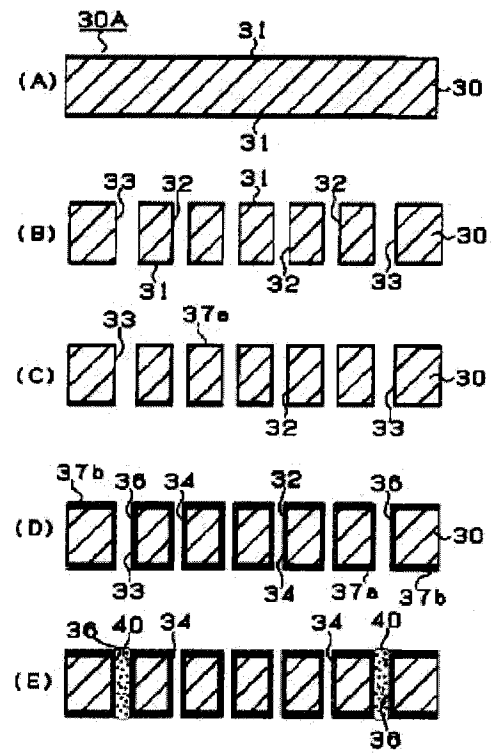
【図13】



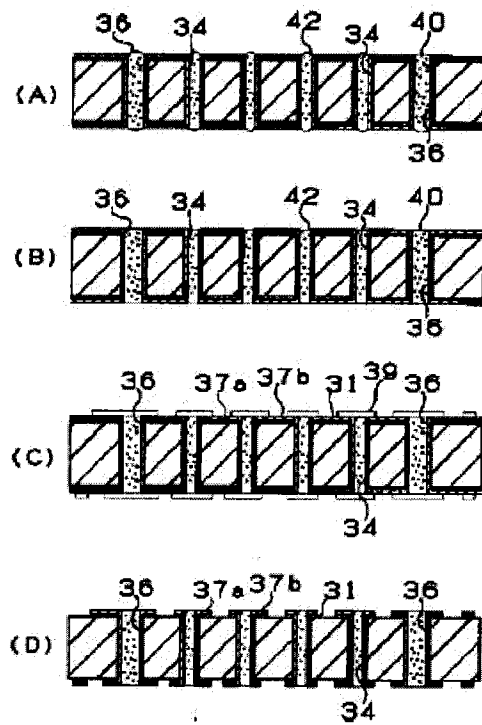
【図14】



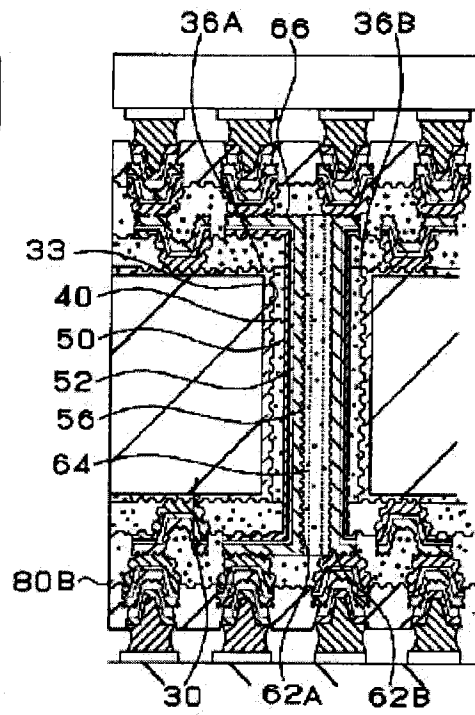
【図15】



【図16】



【図17】



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-237510  
(P2001-237510A)

(43) 公開日 平成13年 8 月31日 (2001. 8. 31)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード* (参考)
H 0 5 K	1/11	H 0 5 K 1/11	H 4 E 3 5 1
H 0 1 L	23/12	1/16	D 5 E 3 1 7
H 0 5 K	1/16	3/46	Q 5 E 3 4 6
	3/46	H 0 1 L 23/12	L
			N
審査請求 未請求 請求項の数 6 O L (全 16 頁)			

(21) 出願番号 特願2000-45347(P2000-45347)

(22) 出願日 平成12年 2 月23日 (2000. 2. 23)

(71) 出願人 000000158

イビデン株式会社

岐阜県大垣市神田町 2 丁目 1 番地

(72) 発明者 浅井 元雄

岐阜県揖斐郡揖斐川町北方 1-1 イビデ  
ン株式会社大垣北工場内

(72) 発明者 王 東冬

岐阜県揖斐郡揖斐川町北方 1-1 イビデ  
ン株式会社大垣北工場内

(74) 代理人 100095795

弁理士 田下 明人 (外 1 名)

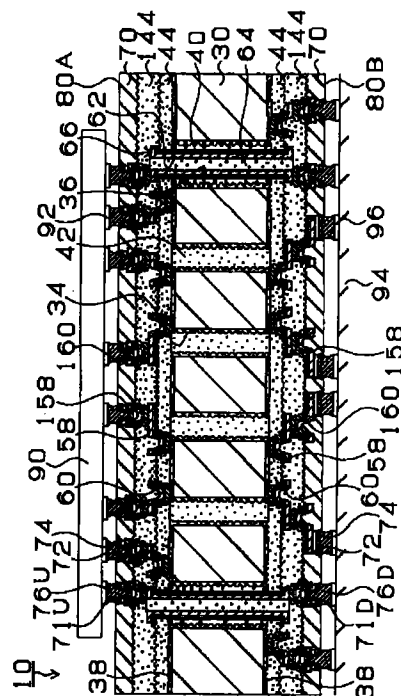
最終頁に続く

(54) 【発明の名称】 プリント配線板

(57) 【要約】

【課題】 基板内にコンデンサ機能を備えるプリント配線板を提案する。

【解決手段】 外層スルーホール 3 6 と内層スルーホール 6 2 とを外層スルーホール用樹脂充填剤 4 0 を介して対向配置させることで、コンデンサ機能を形成する。外層スルーホール用樹脂充填剤 4 0 が、チタン酸塩又はペロスカイト系材料から成るため、誘電率が高く、コンデンサとして大きな容量を持つことができる。



## 【特許請求の範囲】

【請求項1】 スルーホールを介して表裏が電氣的接続をされたプリント配線板において、

前記スルーホールは、前記基板の通孔の壁面に形成した外層スルーホールと、

前記外層スルーホール内に外層樹脂充填剤を介在させて形成した内層スルーホールと、

前記内層スルーホール内に充填した内層樹脂充填剤とから成り、

前記外層樹脂充填剤は、チタン酸塩を含むことを特徴とするプリント配線板。

【請求項2】 スルーホールを介して表裏が電氣的接続をされたプリント配線板において、

前記スルーホールは、前記基板の通孔の壁面に形成した外層スルーホールと、

前記外層スルーホール内に外層樹脂充填剤を介在させて形成した内層スルーホールとから成り、

前記外層樹脂充填剤は、チタン酸塩を含むことを特徴とするプリント配線板。

【請求項3】 前記チタン酸塩は、チタン酸バリウム、チタン酸鉛、チタン酸ストロンチウム、チタン酸カルシウム、チタン酸ビスマス、チタン酸マグネシウムのいずれか1以上であることを特徴とする請求項1又は2のプリント配線板。

【請求項4】 スルーホールを介して表裏が電氣的接続をされたプリント配線板において、

前記スルーホールは、前記基板の通孔の壁面に形成した外層スルーホールと、

前記外層スルーホール内に外層樹脂充填剤を介在させて形成した内層スルーホールと、

前記内層スルーホール内に充填した内層樹脂充填剤とから成り、

前記外層樹脂充填剤は、ペロスカイト系材料を含むことを特徴とするプリント配線板。

【請求項5】 スルーホールを介して表裏が電氣的接続をされたプリント配線板において、

前記スルーホールは、前記基板の通孔の壁面に形成した外層スルーホールと、

前記外層スルーホール内に外層樹脂充填剤を介在させて形成した内層スルーホールとから成り、

前記外層樹脂充填剤は、ペロスカイト系材料を含むことを特徴とするプリント配線板。

【請求項6】 前記ペロスカイト系材料は、 $Mg_xNy_bO_z$ であることを特徴とする請求項4又は5のプリント配線板。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、スルーホールを介して表裏が電氣的接続をされたプリント配線板に関

し、特に、樹脂絶縁層と導体回路層とを交互にビルドア

ップしてなる多層プリント配線板から成り、ICチップなどの電子部品を載置するパッケージ基板に好適に用い得るプリント配線板に関するものである。

## 【0002】

【従来の技術】信号の高周波化に伴って、パッケージ基板の材料は、低誘電率、低誘電正接であることが求められるようになってきている。そのためパッケージ基板の材料は、セラミックから樹脂へとその主流が移りつつある。このような背景の下、樹脂基板を用いたプリント配線板に関する技術として、例えば、特公平4-55555号に開示される方法がある。まず、回路形成されたガラスエポキシ基板にエポキシアクリレートを層間樹脂絶縁層として形成する。続いて、フォトリソグラフィーの手法を用いてバイアホール横用開孔を設ける。そして、表面を粗化した後、めっきレジストを設けて、めっきにより導体回路及びバイアホールを形成した、いわゆるビルドアップ多層プリント配線板が提案されている。このような、ビルドアップ多層プリント配線板をパッケージ基板として使用する場合には、マザーボードやドータボードと呼ばれる他の基板へ接続させる。そして、マザーボードなどに抵抗、コンデンサなどの電子部品を実装して、配線を接続させることによって特性インピーダンスなどの電気特性を整合させていた。

## 【0003】

【発明が解決しようとする課題】しかしながら、ICチップが1GHz以上の高周波になると、ドータボードなどに配設したコンデンサでは、ICチップからコンデンサまでの配線長が長くなり、インダクタンスにロスが多くなる。そのために、電気信号遅延やエラーなどが発生してしまう。また、電源からICチップの電源／アースまでの配線距離も長くなるので、ループインダクタンスが大きくなってしまふ。そのためにICチップが正常に働かず、本来持つ機能を十分に発揮できなかった。

【0004】従来、基板にコンデンサを内蔵したビルドアップ多層プリント配線板は、例えば、特開平10-150272号に開示される方法にて製造されている。有機樹脂絶縁層と薄膜配線導体とを交互に積層してスルーホール導体を介して電氣的に接続される多層プリント配線板であって、有機樹脂絶縁層の少なくとも1層に金属フィラーと比誘電率が20以上の誘電物フィラーとを含む。そして、該有機樹脂絶縁層を薄膜配線導体に対向挟持させることによりコンデンサとして形成させる。それにより、多層プリント配線基板にコンデンサ機能を内蔵させることが可能となる。よって、多層プリント配線基板に実装される部品の数が減り、混成集積回路装置等を小型とすることが出来る。しかしながら、薄膜配線導体の対向面積におけるコンデンサ形成領域には、貫通して導体となる配線を形成することはできない。そのため、その領域において配線を高密度化することができなかった。

【0005】また、特開平11-74648号に開示される方法においては、絶縁基板に貫通孔または非貫通孔を形成させている。そして、その孔内にチップコンデンサやチップ抵抗などの電子部品を収納支持するとともに、電子部品を孔の内壁を通じて電氣的に接続を取っている。それにより、電子部品を搭載した配線基板の小型、軽量および薄型化を達成することができる。しかしながら、孔内に形成される電子部品は、孔の内壁を通じて、電氣的接続を取っているために、電子部品形成領域には、導体となる配線を施すことが難しい。また、収納支持される電子部品を貫通して導体となる配線を形成することは、電子部品の損傷につながるためできない。ゆえに、電子部品収納領域では、配線の高密度化をすることができなかった。

【0006】本発明は、上述した課題を解決するためになされたものであり、その目的とするところは、基板内にコンデンサ機能を持ち、なおかつ配線を高密度に施すことができるプリント配線板を提案することにある。

【0007】

【課題を解決するための手段】上述した課題を解決するために、本発明のプリント配線板では、基板の通孔の壁面に形成した外層スルーホールと、外層スルーホール内に外層樹脂充填剤を介在させて形成した内層スルーホールとによりコンデンサを形成させてある。

【0008】本発明のプリント配線板では、外層スルーホールと内層スルーホールとの間に配設する外層樹脂充填剤として、チタン酸塩またはペロスカイト系材料を用いている。チタン酸塩としては、チタン酸バリウム、チタン酸鉛、チタン酸ストロンチウム、チタン酸カルシウム、チタン酸ビスマス、チタン酸マグネシウムなどからなるチタン酸と金属との合金材料を意味し、ペロスカイト系材料としては、少なくとも $Mg_xNybz$ である合金材料全般を意味する。その中でも、チタン酸バリウムを用いることがよい。その理由としては、誘電率が調整しやすく、高誘電物以外の樹脂充填剤の樹脂成分と分離、剥離なども起きにくいからである。上記材質により外層樹脂充填剤の誘電率を高め、コンデンサとしての容量を増大させてある。また、コア基板の通孔に形成する外層スルーホール及び内層スルーホールにコンデンサ機能を持たせるため、コンデンサ機能を内蔵し、配線を高密度化した、電気特性に優れたプリント配線板を得ることができる。

【0009】次に、スルーホール内に高誘電体を含有した樹脂充填剤と複数の導体回路を形成した多層プリント配線板の製造工程について説明する。コア基板としては、ガラスエポキシ基板、ポリイミド基板、BT（ビスマレイミドトリアジン）樹脂基板等の樹脂絶縁基板、セラミック基板、金属基板等を用いることができる。ドリル、あるいは炭酸レーザ等のレーザによってコア基板にスルーホール用貫通孔を形成させる。コア基板の厚み

は、0.4～1.2mmであるのが望ましい。その理由は、コア基板としての強度があり、スルーホールも加工し易いからである。

【0010】このとき、スルーホール用貫通孔は、導通用スルーホール用貫通孔と同軸スルーホールの外層スルーホール用貫通孔の2種類が形成される。なお、同軸スルーホールは、外層スルーホールと内層スルーホールから成る。外層スルーホール用貫通孔の開口径は、200～400 $\mu m$ で形成されるのがよい。特に望ましいのは、250～350 $\mu m$ である。径が200 $\mu m$ 未満では、樹脂充填層を2層以上で形成することができないし、その中に形成される導体回路と内層スルーホール内壁に形成された導体との絶縁性が保たれない。400 $\mu m$ を越えると、高密度化される効果が相殺されてしまう。また、導通用スルーホール用貫通孔の開口径は、50～400 $\mu m$ で形成される。50 $\mu m$ 未満では、導体層を形成することが困難になり、400 $\mu m$ を越えると、実用的でなくなる。特に、0.6～1.0mmであることが望ましい。

【0011】次に、導通用スルーホール及び外層スルーホール内に樹脂充填剤を充填させる。場合によっては、導通用スルーホール及び外層スルーホール内に、粗化層を設ける。粗化層は、酸化還元処理、無電解めっき、エッチング処理によって形成される。具体例を述べると、酸化還元処理としては、酸化浴としてNaOH (10g/L)、 $NaClO_2$  (40g/L)、 $Na_3PO_4$  (6g/L)、還元浴として、NaOH (10g/L)、 $NaBH_4$  (6g/L)を用いて行う。また、無電解銅めっきでは、Cu-Ni-Pからなる合金で形成する。エッチング処理としては、第二銅錯体と有機酸塩からなるエッチング液が用いられる。

【0012】スルーホールを充填する樹脂充填剤には、少なくとも樹脂成分、硬化剤成分、高誘電物が含有されている。また、樹脂充填剤に有機樹脂フィラーと無機フィラーとを配合させたものでもよい。樹脂成分としては、熱硬化性樹脂、熱可塑性樹脂あるいは、それらの複合体でもよい。特に望ましいのは、熱硬化性樹脂であり、高誘電物が配合しやすく、印刷によって充填することができるからである。樹脂としては、エポキシ樹脂、フェノール樹脂、ポリイミド樹脂、フッ素樹脂、ポリフェニレン系樹脂、ポリオレフィン系樹脂などが用いることができる。外層スルーホールと導通用スルーホールを同一の樹脂充填剤で充填させてもよい。あるいは樹脂、構成比、粘度などが異なる別々の樹脂充填剤で充填させてもよい。別々に樹脂充填剤を充填させるのが望ましい。充填方法は、印刷、圧入等によって行なわれる。スルーホール部分が開口したマスクを用いて、粘度を調整した樹脂充填剤を印刷で行うのがよい。この樹脂充填剤は、粘度を30～200 Pa.s程度になるように調整しておくことが好ましい。

【0013】高誘電物としては、上述したようにチタン酸塩またはペロスカイト系材料を用いるのがよい。

【0014】硬化成分としては、イミダゾール系硬化剤、フェノール系硬化剤、アミン系硬化剤などを用いることができる。特に、イミダゾール硬化剤を用いるのが望ましい。イミダゾール硬化剤としては、2-メチルイミダゾール（品名；2MZ）、4-メチル-2-エチルイミダゾール（品名；2E4MZ）、2-フェニルイミダゾール（品名；2PZ）4-メチル-2-フェニルイミダゾール（品名；2P4MZ）、1-ベンジル-2-メチルイミダゾール（品名；1B2MZ）、2-メチルイミダゾール（品名；2EZ）、2-イソプロピルイミダゾール（品名；2IZ）、1-シアノエチル-2-エチル-4-メチルイミダゾール（品名；2E4MZ-CN）、1-シアノエチル-2-ウンデシルイミダゾール（品名；C<sub>11</sub>-Z-CN）などがある。なかでも、25℃で液状のイミダゾール硬化剤を用いることが望ましく、例えば、1-ベンジル-2-メチルイミダゾール（品名；1B2MZ）、1-シアノエチル-2-エチル-4-メチルイミダゾール（品名；2E4MZ-CN）、4-メチル-2-エチルイミダゾール（品名；2E4MZ）が挙げられる。このイミダゾール硬化剤は、樹脂充填剤中の含有量で、1～10重量%であることが望ましい。

【0015】その他に、添加成分としては、シリカ、アルミナ、ムライト、ジルコニアなどの無機粒子がよい。この無機粒子の平均粒子径は、0.05～5.0μmであることが望ましい。また、無機粒子の配合量は、ビスフェノール型エポキシ樹脂に対して1.0～2.0倍程度であることが望ましい。また、それぞれの薬品は特級、一級、工業試薬でもグレードによる差は特に問題はない。添加剤成分を配合させることによって、スルーホール内への充填性が改善されたり、スルーホール内の樹脂充填剤の熱膨張係数が整合されるので、クラックや剥離などが防止される。

【0016】その後、硬化あるいは半硬化させる。場合によっては、コア基板の平滑性を出すために、バフ、ベルトサンダー、ジェットスクラブなどの物理的研磨、あるいは酸や酸化剤などによって、スルーホールからはみ出した部分を化学的エッチングによって除去してもよい。それによって、高誘電体を含有する樹脂充填剤と導通を有するスルーホールとランドからなるコア基板が得られる。

【0017】上述のコア基板に樹脂絶縁層を施す。導体回路には粗化層を形成させてもよい。樹脂絶縁層としては、熱硬化性樹脂、熱可塑性樹脂、熱硬化性樹脂と熱可塑性樹脂との複合体あるいは、それらに感光性を有する基を置換した樹脂でもよい。具体例として、エポキシ樹脂、フェノール樹脂、ポリイミド樹脂、フェノキシ樹脂等のプリント配線板に使用されている樹脂がある。ま

た、高周波領域において低誘電率である樹脂を用いてもよい。特に、1GHzにおける誘電率が3.0以下の樹脂であるポリオレフィン系樹脂、ポリフェニレン系樹脂、フッ素樹脂などを用いるのがよい。樹脂絶縁層の形成には、塗布、あるいはBステージ状のフィルムを加熱、加圧、もしくは加熱加圧によって貼り付けるのがよい。

【0018】次に、フォトおよびレーザにより樹脂絶縁層にバイアホールとなる開口を形成する。そして、外層スルーホールに、ドリルおよびレーザで樹脂絶縁層を介して、樹脂充填剤に内層スルーホール用貫通孔を設ける。バイアホールとなる開口および内層スルーホール用貫通孔をレーザで形成する場合は、炭酸ガスレーザ、エキシマレーザ、UVレーザ、YAGレーザ等を用いることができる。内層スルーホール用貫通孔の径は、75～200μmで形成される。特に望ましいのは、100～150μmである。その後、デスミアなどの化学エッチング処理やプラズマ、コロナ処理などのドライエッチング処理を行い、内層スルーホール用貫通孔の内壁にある樹脂のスミアを除去し、樹脂の残さを取り去ることによって金属層の形成を助長させる。

【0019】次に、樹脂絶縁層上、バイアホールとなる開口内および内層スルーホール用貫通孔の内壁にCu、Ni、P、Pd、Co、W、Au、Agが少なくとも1種以上である金属層を1層以上設ける。金属層は、外層スルーホール内壁の導体金属と共に電極としてコンデンサを構成する。これにより、同軸スルーホールにコンデンサ機能を内蔵することができる。その厚みは、0.1～2μmで形成されるのが望ましい。金属層は、めっき、スパッタあるいは、スパッタで形成させた上にめっきを形成させた2層構成でもよい。樹脂絶縁層の表層には粗化面を設けてもよい。酸や酸化剤などによって樹脂絶縁層の表層を化学的エッチングにより粗化面を設ける。酸としては、硫酸、硝酸、塩酸、リン酸などが、また酸化剤としては、クロム酸、クロム酸塩、過マンガン酸塩などが、粗化面を形成させるのによい。その上に、前述の金属層を形成させる。そして、無電解めっきを行い、無電解めっき膜を金属層上に形成する。

【0020】樹脂絶縁層上、バイアホールとなる開口内および外層スルーホール用貫通孔に無電解めっきを施した基板に、感光性樹脂フィルム（ドライフィルム）をラミネートする。そして、この感光性樹脂フィルム上に、めっきレジストパターンが描画されたフォトマスク（ガラス基板がよい）を密着させて載置し、露光し、現像処理する。それにより、めっきレジストパターンを配設した非導体部分を形成することができる。

【0021】無電解めっき膜上の非導体部分以外に電解めっきを施し、無電解めっきの導体部分上とバイアホールとなる開口、内層スルーホール用貫通孔に電解めっき膜を設ける。電解めっきとしては、電解銅めっきを用い

ることが望ましく、その厚みは、 $5 \sim 20 \mu\text{m}$ がよい。

【0022】次に、非導体回路部分のめっきレジストをアルカリ水溶液などで除去する。その後、さらに、硫酸と過酸化水素の混合液や過硫酸ナトリウム、過硫酸アンモニウム、塩化第二鉄、塩化第二銅等のエッチング液にて非導体回路部分の金属層と無電解めっき膜を除去する。これにより樹脂絶縁層上に、無電解めっき膜と電解めっき膜の2層からなる導体回路とバイアホールを得る。また内層スルーホール用貫通孔内には、金属層、無電解めっき膜、電解めっき膜の3層からなる内層スルーホールを得る。バイアホールは、平坦なフィールドビアを形成させてもよい。

【0023】次に、内層スルーホール内の隙間を充填させる。充填には、前述のような方法で充填させてもよいが、さらに上層をフィルムからなる絶縁樹脂層を形成させる際、絶縁層と樹脂充填剤を同時に形成させてもよい。内層スルーホール内には、樹脂充填材、金属フィラーが含有した樹脂充填材、銅、ハンダ、ニッケルなどの少なくとも一つを充填させる。また、従来の樹脂充填剤に、有機樹脂フィラーと無機フィラーとを0.1～20 vol%配合させたものでもよい。この樹脂充填剤は、粘度を30～50 Pa.s程度になるように調整しておくことが好ましい。

【0024】それ以外の方法としては、前述の樹脂絶縁層上に無電解めっきを施した基板に、更に、電解めっき膜、無電解めっき膜、あるいは、それらの複合体めっき膜を積層させる。そのめっき膜を積層した基板に樹脂充填材を充填させる。その際、硬化あるいは半硬化してから研磨を行って、めっき膜層と樹脂充填材層とを平坦にさせてもよい。エッチングレジストを形成して、配線が描画されたマスクを載置して露光、現像を経て、レジストの配線層を形成させて、硫酸-過酸化水素水、塩化第二鉄や塩化第二銅、有機塩酸-第二銅錯体からなるエッチング液を用いて、めっき膜層を除去してレジストを剥離させることによって行ってもよい。エッチング液としては、上記以外にもプリント配線板の製造で使用するものは全て用いることができる。

【0025】更に、該当のスルーホールを分割させることによって、形成する配線を分割させることも可能である。これにより、更に、多くの配線をコア基板に通すことができ、高密度化を達成できる。

【0026】さらに、上層に樹脂絶縁層を施して、導体回路とバイアホールを形成させることにより、多層プリント配線板が得られる。そして、表層には溶剤レジスト層を形成する。溶剤レジスト層の形成には、塗布あるいはフィルムを加熱、加圧、あるいは加熱加圧によって貼り付けるのがよい。溶剤レジスト層は、フォトおよびレーザにより半田パッドを設けて、半田パッドから露出した部分に、 $\text{Ni/Au}$ 、 $\text{Ni/Pd/Au}$ などの耐食金属層を形成させる。レーザで半田パッドを

形成する場合は、炭酸ガスレーザ、エキシマレーザ、UVレーザ、YAGレーザ等が用いることができる。ICチップ接続の半田バンプが形成させる半田パッドは、開口径100～200  $\mu\text{m}$ で開口させて、外部端子接続のためBGA/PGAを配設させる半田パッド部分は開口径300～650  $\mu\text{m}$ で開口させる。

【0027】

【発明の実施の形態】以下、本発明の実施形態について図を参照して説明する。先ず、本発明の第1実施形態に係るパッケージ基板として用いられるプリント配線板の構成について、図7及び図8を参照にして説明する。図7は、本発明の第1実施形態に係るパッケージ基板10の断面図を示している。図8は、本発明の第1実施形態に係るスルーホールの構成を示す説明図である。

【0028】パッケージ基板10は、コア基板30の表面及び裏面にビルドアップ配線層80A、80Bが形成されている。ビルドアップ配線層80A、80Bは、導体回路58及びバイアホール60の形成された層間樹脂絶縁層44と、導体回路158及びバイアホール160の形成された層間樹脂絶縁層144とからなる。ビルドアップ配線層80Aとビルドアップ配線層80Bとは、コア基板30に形成された同軸スルーホール66と導通スルーホール34を介して接続されている。層間樹脂絶縁層144の上には溶剤レジスト層70が形成されており、溶剤レジスト層70の開口部71を介して、導体回路158及びバイアホール160に半田バンプ76U、76Dが形成されている。半田バンプ76Uは、ICチップ90のパッド92に接続されている。一方、半田バンプ76Dは、ドータボード94のパッド96に接続されている。

【0029】図8に示すように、同軸スルーホール66は、外層スルーホール36及び内層スルーホール62とから成る。外層スルーホール36及び内層スルーホール62は、それぞれビルドアップ配線層80Aとビルドアップ配線層80Bとを接続している。外層スルーホール36は、コア基板30の貫通孔33の壁面に金属膜38が形成されて成る。そして、外層スルーホール36内には、高誘電物が含有された外層スルーホール用樹脂充填剤40が配設されている。外層スルーホール用樹脂充填剤40の内側には、内層スルーホール62が形成されている。

【0030】次に、内層スルーホール62の構成について説明する。図8に示すように、内層スルーホール62は、金属層50、無電解めっき膜52、電解めっき膜56の3層からなる。あるいは、各2層で形成してもよい。また、内層スルーホール62の内側には、内層スルーホール用樹脂充填剤64が充填されている。内層スルーホール62は、高誘電物が含有された外層スルーホール用樹脂充填剤40を介して、外層スルーホール36と共に電極となりコンデンサを構成する。



【0031】第1実施形態のプリント配線板では、外層スルーホール用樹脂充填剤40として、チタン酸塩またはペロスカイト系材料を用いている。チタン酸塩としては、チタン酸バリウム、チタン酸鉛、チタン酸ストロンチウム、チタン酸カルシウム、チタン酸ビスマス、チタン酸マグネシウムなどからなるチタン酸と金属との合金材料を意味し、ペロスカイト系材料としては、少なくとも $Mg_xNyboz$ である合金材料全般を意味する。その中でも、チタン酸バリウムを用いることがよい。その理由としては、誘電率が調整しやすく、高誘電物以外の樹脂充填剤の樹脂成分と分離、剥離なども起きにくいからである。上記材質により外層スルーホール用樹脂充填剤40の誘電率を高め、コンデンサとしての容量を増大させてある。

【0032】また、従来の基板にコンデンサを内蔵したものと比べ、基板により多くのスルーホールを形成することが可能である。よって、コンデンサ機能を持ち、配線を高密度化した、電気特性に優れたプリント配線板を得ることができる。

【0033】引き続き、本発明の第1実施形態に係る、上記パッケージ基板10の製造方法について説明する。ここでは、先ず、該パッケージ基板の製造方法に用いるA. 導通用スルーホール用樹脂充填剤、B. 外層スルーホール用樹脂充填剤、C. 内層スルーホール用樹脂充填剤の組成について説明する。

【0034】A. 導通用スルーホール用樹脂充填剤〔樹脂組成物①〕ビスフェノールF型エポキシモノマー（油化シェル製、分子量310、YL983U）100重量部、表面にシランカップリング剤がコーティングされた平均粒径 $1.6\mu m$ の $SiO_2$ 球状粒子（アドマテック製、CRS 1101-CE、ここで、最大粒子の大きさは後述する内層銅パターンの厚み（ $15\mu m$ ）以下とする）170重量部、レベリング剤（サンノブコ製、ペレノールS4）1.5重量部を攪拌混合することにより、その混合物の粘度を $23\pm 1^\circ C$ で $45,000\sim 49,000cps$ に調整して得た。

〔硬化剤組成物②〕イミダゾール硬化剤（四国化成製、2E4MZ-CN）6.5重量部。

【0035】B. 外層スルーホール用樹脂充填剤Aとほぼ同じであるが、〔樹脂組成物①〕中に、チタン酸バリウム（粒径 $5\mu m$ と $10\mu m$ の混合した10重量部）含有させた。

【0036】C. 内層スルーホール用樹脂充填剤A. 導通用スルーホール用樹脂充填剤と全く同一のものを使用した。

【0037】次に、本発明の第1実施形態に係わる、該パッケージ基板10の製造方法について図1～図7を参照して説明する。

【0038】パッケージ基板の製造

(1) 厚さ0.8mmのガラスエポキシ樹脂またはBT

(ビスマレイミドートリアジン)樹脂からなる基板30

の両面に $12\mu m$ の銅箔31がラミネートされている銅張積層板30Aを出発材料とする（図1（A））。まず、この銅張積層板30Aをドリルで削孔し、直径 $350\mu m$ の導通用スルーホール貫通孔32と直径 $350\mu m$ の外層スルーホール用貫通孔33を形成する（図1（B））。外層スルーホール用貫通孔33の開口径は、 $200\sim 400\mu m$ で形成するのがよい。特に望ましいのは、 $250\sim 350\mu m$ である。また、導通用スルーホール用貫通孔32の開口径は、 $50\sim 400\mu m$ で形成するのがよい。

【0039】(2) 続いて、基板30に無電解銅めっき処理を施し、導通用スルーホール34及び外層スルーホール36を形成する（図1（C））。さらに、銅箔31を常法に従いパターン上にエッチングすることにより、基板30の両面に内層銅パターン（金属膜）38を形成する（図1（D））。

【0040】(3) 内層銅パターン（金属膜）38および導通用スルーホール34、外層スルーホール36を形成した基板30を水洗いし、乾燥させる。その後、酸化浴（黒化浴）として、 $NaOH$ （ $10g/l$ ）、 $NaClO_2$ （ $40g/l$ ）、 $Na_3PO_4$ （ $6g/l$ ）、還元浴として、 $NaOH$ （ $10g/l$ ）、 $NaBH_4$ （ $6g/l$ ）を用いた酸化還元処理により、内層銅パターン（金属膜）38および導通用スルーホール34、外層スルーホール36の表面に粗化層34 $\alpha$ 、36 $\alpha$ 、38 $\alpha$ を設ける。実施形態中では粗化層を設けたが、樹脂の密着が確保できれば粗化層を設ける必要はない（図1（E））。

【0041】(4) 導通用スルーホール34と外層スルーホール36に樹脂充填剤を充填させる。まず、外層スルーホール36に上記Bで調整した外層スルーホール用樹脂充填剤40を印刷で充填させる（図2（A））。Bに含有する高誘電物としては、チタン酸塩またはペロスカイト系材料を用いるのがよい。チタン酸塩としては、チタン酸バリウム、チタン酸鉛、チタン酸ストロンチウム、チタン酸カルシウム、チタン酸ビスマス、チタン酸マグネシウムなどからなるチタン酸と金属との合金材料を意味し、ペロスカイト系材料としては、少なくとも $Mg_xNyboz$ である合金材料全般を意味する。その中でも、チタン酸バリウムを用いることがよい。その理由としては、誘電率が調整しやすく、高誘電物以外の樹脂充填剤の樹脂成分と分離、剥離なども起きにくいからである。また、樹脂充填剤の粘度を $30\sim 50Pa.s$ 程度になるように調整しておくことが好ましい。次に、導通用スルーホール34に上記Aで調整した導通用スルーホール用樹脂充填剤42を充填させる（図2（B））。

【0042】(5) 上記(4)の処理を終えた基板30の片面をベルト研磨紙（三共理化学社製）を用いたベルトサンダー研磨により、下層導体回路（内層銅パターン）38の表面や導通用スルーホール34、外層スルーホール36のランド34a、36a表面に外層スルーホ

ール用樹脂充填剤40、導通用スルーホール用樹脂充填剤42が残らないように研磨し、次いで、上記ベルトサンダー研磨による傷を取り除くためのバフ研磨を行う。このような一連の工程を基板の他方の面についても同様に行う、そして、充填した外層スルーホール用樹脂充填剤40、導通用スルーホール用樹脂充填剤42を加熱硬化させる(図2(C))。

【0043】(6)次に、上記(5)の処理を終えた基板30の両面に、上記(3)と同様に一旦平坦化された下層導体回路38の表面と導通用スルーホール34及び外層スルーホール36のランド34a、36a表面とを酸化還元処理を施すことにより、下層導体回路38の表面及びランド34a、36a表面に粗化面34β、36β、38βを形成する(図2(D))。

【0044】(7)上記(6)工程を終えた基板30の両面に、厚さ50μmの熱硬化型ポリオレフィン系樹脂シートを温度50～150℃まで昇温しながら圧力5kg/cm<sup>2</sup>で真空圧着ラミネートし、ポリオレフィン系樹脂からなる層間樹脂絶縁層44を設ける(図2

(E))。樹脂絶縁層としては、熱硬化性樹脂、熱可塑性樹脂からなる樹脂あるいは、それらに感光性を有する基を置換した樹脂でもよい。具体例として、エポキシ樹脂、ポリフェノール樹脂、ポリイミド樹脂等のプリント配線板に使用されている樹脂がある。また、高周波領域において低誘電率である樹脂を用いてもよい。樹脂の真空圧着時の真空度は、10mmHgである。

【0045】(8)次に、層間樹脂絶縁層44にバイアホールとなる開口46を形成する(図3(A))。形成には炭酸(CO<sub>2</sub>)ガスレーザにて、ビーム径5mm、パルス幅15μ秒、マスクの穴径0.8mm、1ショットの条件でポリオレフィン系樹脂あるいは、エポキシ系樹脂からなる層間樹脂絶縁層44に直径80μmのバイアホール用開口を設ける。

【0046】その後、外層スルーホール36に、内層スルーホール用貫通孔48をドリル又はレーザ等によって形成する(図3(B))。レーザの場合、炭酸(CO<sub>2</sub>)ガスレーザにて、ビーム径5mm、シングルモード、パルス幅60μ秒でコア基板の、高誘電体を含有した外層スルーホール用樹脂充填剤40及び層間樹脂絶縁層44を貫通する貫通孔48を形成する。必要に応じて、内層スルーホール用貫通孔48内のスミアを過マンガン酸などのウェットプロセスあるいはプラズマ、コロナ処理などのドライエッチング処理で除去する。また、内層スルーホール用貫通孔48の径は、50～200μmで形成されるのがよい。

\*

CuSO <sub>4</sub> ・5H <sub>2</sub> O	140g/l
H <sub>2</sub> SO <sub>4</sub>	120g/l
Cl <sup>-</sup>	50mg/l
添加剤	300mg/l
スルホン酸アミン	100mg/l

\*【0047】(9)層間樹脂絶縁層44にバイアホールとなる開口46を設けた基板30にプラズマ処理を行い、層間樹脂絶縁層44の表層を粗化し、粗化層44αを形成する(図3(C))。この際、不活性ガスとしてアルゴンガスを使用し、電力200W、ガス圧0.6Pa、温度70℃の条件で(プラズマ装置日本真空技術株式会社製SV-4540)、2分間プラズマ処理を実施する。

【0048】(10)層間樹脂絶縁層44の表層および内層スルーホール用貫通孔48にスパッタリングでCu(Ni、P、Pd、Co、W)の合金をターゲットした金属層50を形成する(図3(D))。形成条件として、気圧0.6Pa、温度80℃、電力200W、時間5分(プラズマ装置日本真空技術株式会社製SV-4540)で実施する。これにより、層間樹脂絶縁層44の表層と内層スルーホール用貫通孔48に合金層を形成させることができる。金属層50は、電極として外層スルーホール36と共にコンデンサを構成する。このときの金属層50の厚みは、0.2μmである。金属層50の厚みとしては、0.1～2μmがよい。スパッタ以外にも、蒸着で行うことも、スパッタを行わないでめっき層を形成させることも可能である。

【0049】(11)基板30をコンディショニングし、アルカリ触媒液中で触媒付与を5分間行う。基板30を活性化処理し、ロッシェル塩タイプの化学銅めっき浴で厚さ0.5μmの無電解めっき膜52を付ける(図4(A))。

化学銅めっきのめっき条件：

CuSO <sub>4</sub> ・5H <sub>2</sub> O	10g/l
HCHO	8g/l
NaOH	5g/l
ロッシェル塩	45g/l
添加剤	30ml/l
温度	30℃
めっき時間	18分

【0050】(12)無電解めっき膜52上に、厚さ20μmの感光性フィルム(ドライフィルム)を貼り付けて、マスクを載置して、100mJ/cm<sup>2</sup>で露光、0.8%炭酸ナトリウムで現像処理し、厚さ20μmのめっきレジスト54を設ける(図4(B))。

【0051】(13)無電解めっき膜52上のめっきレジスト54の非形成部に電解めっきを施し、電解めっき膜56を形成する(図4(C))。電解めっき膜56の厚みとしては、5～20μmがよい。

温度	25℃
電流密度	0.8 A/dm <sup>2</sup>
メッキ時間	30分
膜厚	18 μm

【0052】(14) 次いで、50℃、40 g/lのNaOH水溶液中でめっきレジスト54を剥離除去する。その後、硫酸一過酸化水素水溶液を用い、エッチングにより、レジスト54下の金属層50及び無電解めっき膜52を除去して、層間樹脂絶縁層44上に導体回路58（バイアホール60を含む）を形成し、外層スルーホール36内に、内層スルーホール62を形成する（図4（D））。内層スルーホール62は、高誘電物が含有された外層スルーホール用樹脂充填剤40を介して、外層スルーホール36と共に電極となりコンデンサを構成する。

【0053】(15) 次に、前述（3）～（5）の工程と同様に、内層スルーホール62内にも上記Cの内層スルーホール用樹脂充填剤64を充填する。内層スルーホール用樹脂充填剤64の粘度は、30～50 Pa.s程度になるように調整しておくことが好ましい。また、外層スルーホール用樹脂充填剤40よりも内層スルーホール用樹脂充填剤64の粘度を低くさせて充填性を上げるのが好ましい。これにより、外層スルーホール36及び内層スルーホール62から成る同軸スルーホール66を形成することができる（図5（A））。

【0054】(16) その後、上層に層間樹脂絶縁層144を形成し、前述（8）～（15）の工程を経て、導体回路158（スルーホール160を含む）を形成し、6層からなるパッケージ基板を得る（図5（B））。

【0055】(17) 一方、DMDGに溶解させた60重量%のクレゾールノボラック型エポキシ樹脂（日本化薬製）のエポキシ基50%をアクリル化した感光性付与のオリゴマー（分子量4000）を46.67 g、メチルエチルケトンに溶解させた80重量%のビスフェノールA型エポキシ樹脂（油化シェル製、エピコート1001）15.0 g、イミダゾール硬化剤（四国化成製、商品名：2E4MZ-CN）16 g、感光性モノマーである多価アクリルモノマー（日本化薬製、R604）3 g、同じく多価アクリルモノマー（共栄社化学製、DPE6A）1.5 g、に分散系消泡剤（サンプロコ社製、S-65）0.71 gを混合し、さらにこの混合物に対して光開始剤としてのベンゾフェノン（関東化学製）を2 g、光増感剤としてのミヒラーケトン（関東化学製）を0.2 g加えて、粘度を25℃で2.0 Pa.sに調整した solder レジスト組成物を得る。なお、粘度測定は、B型粘度計（東京計器、DVL-B型）で60rpmの場合はローターNo.4、6 rpmの場合はローターNo.3による。

【0056】(18) 前述（17）で得られたパッケージ基板の両面に、上記 solder レジスト組成物を20 μmの厚さで塗布する。次いで、70℃で20分間、70℃で30分

間の乾燥処理を行った後、円パターン（マスクパターン）が描画された厚さ5 mmのフォトマスクフィルムを密着させて載置し、1000 mJ/cm<sup>2</sup>の紫外線で露光し、DMTG現像処理する。そしてさらに、80℃で1時間、100℃で1時間、120℃で1時間、150℃で3時間の条件で加熱処理し、半田パッド部分（バイアホールとそのランド部分を含む）に開口部71U、71Dを有する solder レジスト層70（厚み20 μm）を形成する（図5（C））。ICチップ接続の半田バンプを形成させる半田パッドは、開口径100～170 μmで開口させるのがよい。また外部端子接続のためBGA/PGAを配設させる半田パッドは開口径300～650 μmで開口させるのがよい。

【0057】(19) その後、塩化ニッケル2.3 × 10<sup>-1</sup> mol/l、次亜リン酸ナトリウム2.8 × 10<sup>-1</sup> mol/l、クエン酸ナトリウム1.6 × 10<sup>-1</sup> mol/l、からなるpH=4.5の無電解ニッケルめっき液に、20分間浸漬して、開口部71U、71Dに厚さ5 μmのニッケルめっき層72を形成する。その後、表層には、シアン化金カリウム7.6 × 10<sup>-3</sup> mol/l、塩化アンモニウム1.9 × 10<sup>-1</sup> mol/l、クエン酸ナトリウム1.2 × 10<sup>-1</sup> mol/l、次亜リン酸ナトリウム1.7 × 10<sup>-1</sup> mol/lからなる無電解金めっき液に80℃の条件で7.5分間浸漬して、ニッケルめっき層72上に厚さ0.03 μmの金めっき層74を形成する（図5（D））。

【0058】(20) そして、 solder レジスト層70の開口部71U、71Dに、低融点金属として半田ペーストを印刷して200℃でリフローすることにより、半田バンプ（半田体）76U、76Dを形成し、パッケージ基板10を完成する（図6参照）。

【0059】完成したパッケージ基板10の半田バンプ76Uに、ICチップ90のパッド92が対応するように載置し、リフローを行いICチップ90を搭載する。このICチップ90を搭載したパッケージ基板10を、ドータボード94側のバンプ96に対応するように載置してリフローを行い、ドータボード94へ取り付ける（図7参照）。これにより、BGAが配設されている、コンデンサ機能を有し、配線を高密度化した、電気特性に優れたパッケージ基板を得ることが可能となる。

【0060】本発明の第1実施形態に係るパッケージ基板10の製造方法について、BGAを配設した場合を例示したが、PGAを配設してもよい。PGAを配設した場合も（1）～（19）までの工程は同様である。それ以降の工程について説明する。まず、基板の下面側（ドータボード、マザーボードとの接続面）となる開口部7

1 D内に導電性接着剤78として半田ペーストを印刷する。次に、導電性接続ピン90を適当なピン保持装置に取り付けて支持し、導電性接続ピン90の固定部92を開口部71 D内の導電性接着剤78に当接させる。そしてリフローを行い、導電性接続ピン90を導電性接着剤78に固定する。また、導電性接続ピン90の取り付け方法としては、導電性接着剤78をボール状等に形成したものを開口部71 D内に入れる、あるいは、固定部92に導電性接着剤78を接合させて導電性接続ピン90を取り付け、その後にリフローさせてもよい。なお、上面の開口部71 Uには、半田バンプ76を設け、半田バンプ76をICチップ90のパッド92が対応するように載置し、リフローを行いICチップ90を搭載する。

(図9参照)。これにより、PGAが配設されているコンデンサ機能を有し、より高密度化した、電気特性に優れたパッケージ基板を得ることができる。

【0061】(第2実施形態)第2実施形態に係るプリント配線板の構成を図11に示し、図12中に図11中のスルーホールを拡大して示す。第2実施形態のプリント配線板は、第1実施形態とはほぼ同様である。但し、第2実施形態では、内層スルーホール62の真上に蓋めつき部94を形成し、蓋めつき部94を介して内層スルーホール62と上層の導体回路158とを接続をしている。蓋めつき部94を介在させることで、内層スルーホール62と上層の導体回路158との接続性が向上する。なお、蓋めつき部94を配設した場合も(1)～(15)までの製造工程は第1実施形態と同様である。それ以降の製造工程を図10を参照して説明する。

【0062】(16)基板に無電解めっきを施し、無電解めっき膜68を形成する(図10(A))。

【0063】(17)次いで、基板に所定パターンのレジスト67を形成した後、電解めっきを施して、電解めっき膜69を形成する(図10(B))。その後、レジスト67を剥離後、レジスト67下の無電解めっき膜68をライトエッチングで除くことにより、内層スルーホール62上に無電解めっき膜68及び電解めっき膜69からなる蓋めつき部94を形成する(図10(C))。

【0064】(18)その後、上層に層間樹脂絶縁層144を形成し、第1実施形態で前述した(8)～(14)の工程を経て、導体回路158(スルーホール160を含む)を形成し、6層からなるパッケージ基板を得る(図10(D))。なお、以後の製造工程は、第1実施形態の(17)～(20)と同様である。

【0065】(第3実施形態)第3実施形態に係るプリント配線板の構成を図13に示し、図14中に図13中のスルーホールを拡大して示す。第3実施形態のプリント配線板は、第1実施形態とはほぼ同様である。但し、第1実施形態では、内層スルーホール62内に内層スルーホール用樹脂充填剤64が充填されたが、第3実施形態では、内層スルーホール62がめっきにより充填されて

いる。

【0066】第1、第2実施形態の構成では、内層スルーホール62内に内層スルーホール用樹脂充填剤64を充填することで、内層スルーホール62に発生した応力を内層スルーホール用樹脂充填剤64側へ逃がすことができる。これに対して、第3実施形態では、内層スルーホール62を銅めっきで充填するため、小径に構成可能であると共に、製造コストを低減できる。

【0067】(第4実施形態)第4実施形態に係るプリント配線板の製造工程を図15及び図16を参照して説明する。

(1)厚さ0.8mmのガラスエポキシ樹脂またはBT(ビスマレイミドトリアジン)樹脂からなる基板30の両面に12μmの銅箔31がラミネートされている銅張積層板30Aを出発材料とする(図15(A))。まず、この銅張積層板30Aをドリルで削孔し、直径350μmの導通用スルーホール貫通孔32と直径350μmの外層スルーホール用貫通孔33を形成する(図15(B))。

【0068】(2)続いて、基板30に無電解銅めっき処理を施し無電解めっき膜37aを形成する(図15(C))。

(3)無電解めっき膜37aを介して電流を流し、電解めっき膜37bを形成し、これにより、導通用スルーホール貫通孔32に導通用スルーホール34を、外層スルーホール用貫通孔33に外層スルーホール36を形成する(図15(D))。

【0069】(4)導通用スルーホール34と外層スルーホール36に樹脂充填剤を充填させる。まず、外層スルーホール36に第1実施形態と同様な外層スルーホール用樹脂充填剤40を印刷で充填させる(図15(E))。

【0070】(5)次に、導通用スルーホール34に上記Aで調整した導通用スルーホール用樹脂充填剤42を充填させる(図16(A))。

【0071】(5)基板30の片面をベルト研磨紙(三共理化学社製)を用いたベルトサンダー研磨により、コア基板30の表面に外層スルーホール用樹脂充填剤40、導通用スルーホール用樹脂充填剤42が残らないように研磨し、次いで、上記ベルトサンダー研磨による傷を取り除くためのバフ研磨を行う(図16(B))。

【0072】(6)エッチングレジストを塗布し、配線の描画された図示しないマスクを載置して露光、現像を経て、レジスト層39を形成させる(図16(C))。

【0073】(7)硫酸-過酸化水素水、塩化第二鉄や塩化第二銅、有機塩酸-第二銅錯体からなるエッチング液を用いて、レジスト層39の被覆されていないめっき膜37a、37b、銅箔31を除去する。その後、レジスト層39を剥離する(図16(D))。なお、エッチング液としては、上記以外にもプリント配線板の製造で

使用されるものは全て用いることができる。以降の工程は、図 1 (D) ~ 図 5 を参照して上述した第 1 実施形態と同様であるため説明を省略する。

【0074】(第 5 実施形態) 第 1 実施形態とほぼ同様であるが、第 4 実施形態では同軸スルーホール 66 が 2 つに分割され、2 つの配線路 36A、36B 及び 62A、62B が形成されている (図 17 参照)。1 つのスルーホールに複数の配線路が配設してあるので、これにより、更に、多くの配線をコア基板に通すことができ、高密度化を達成できる。

【0075】

【発明の効果】本発明では、上述した 2 層のスルーホールを形成させたことによって、コア基板の表裏を貫通する配線の本数を増やすことができ、プリント配線板を高密度化することができる。また、スルーホール内に高誘電体層を形成し、コンデンサとして機能させるため、1 GHz 以上の高周波領域の IC チップを乗せた場合でも、誤動作や機能停止を防止することができる。

【図面の簡単な説明】

【図 1】(A)、(B)、(C)、(D)、(E) は、本発明の第 1 実施形態に係るパッケージ基板の製造工程図である。

【図 2】(A)、(B)、(C)、(D)、(E) は、本発明の第 1 実施形態に係るパッケージ基板の製造工程図である。

【図 3】(A)、(B)、(C)、(D) は、本発明の第 1 実施形態に係るパッケージ基板の製造工程図である。

【図 4】(A)、(B)、(C)、(D) は、本発明の第 1 実施形態に係るパッケージ基板の製造工程図である。

【図 5】(A)、(B)、(C)、(D) は、本発明の第 1 実施形態に係るパッケージ基板の製造工程図である。

【図 6】本発明の第 1 実施形態に係るパッケージ基板の断面図である。

【図 7】本発明の第 1 実施形態に係るパッケージ基板に IC チップを搭載し、ドータボードに取り付けた状態を示す断面図である。

【図 8】本発明の第 1 実施形態に係るスルーホールの構成を示す説明図である。

【図 9】本発明の第 1 実施形態に係るパッケージ基板の断面図である。

【図 10】(A)、(B)、(C)、(D) は、本発明の第 2 実施形態に係るパッケージ基板の製造工程図である。

【図 11】本発明の第 2 実施形態に係るパッケージ基板の断面図である。

【図 12】本発明の第 2 実施形態に係るスルーホールの構成を示す説明図である。

【図 13】本発明の第 3 実施形態に係るパッケージ基板の断面図である。

【図 14】本発明の第 3 実施形態に係るスルーホールの構成を示す説明図である。

【図 15】(A)、(B)、(C)、(D)、(E) は、本発明の第 4 実施形態に係るパッケージ基板の製造工程図である。

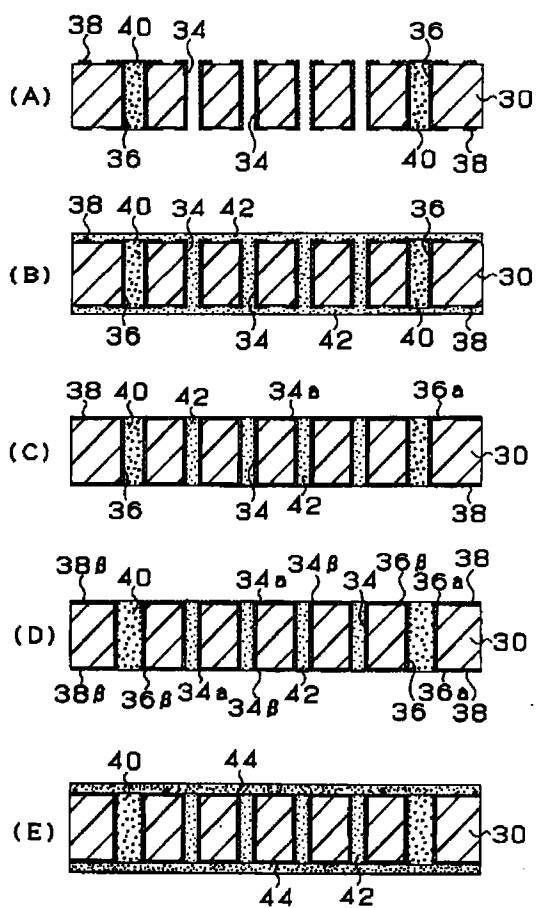
【図 16】(A)、(B)、(C)、(D) は、本発明の第 4 実施形態に係るパッケージ基板の製造工程図である。

【図 17】本発明の第 5 実施形態に係るパッケージ基板の断面図である。

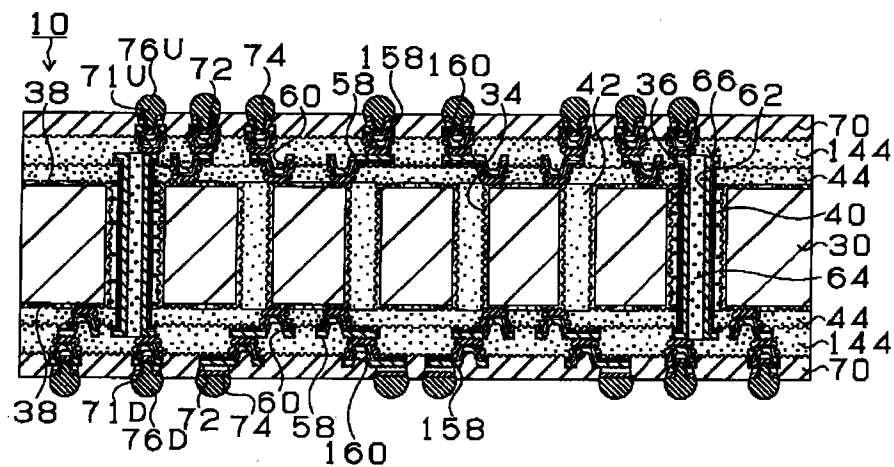
【符号の説明】

- 30 コア基板
- 34 導通用スルーホール
- 36 外層スルーホール
- 38 内層銅パターン
- 40 外層スルーホール用樹脂充填剤
- 42 導通用スルーホール用樹脂充填剤
- 44 層間樹脂絶縁層
- 48 内層スルーホール用貫通孔
- 50 金属層
- 52 無電解めっき膜
- 56 電解めっき膜
- 58 導体回路
- 60 バイアホール
- 62 内層スルーホール
- 64 内層スルーホール用樹脂充填剤
- 66 同軸スルーホール
- 70 ソルダーレジスト層
- 71 開口部
- 72 ニッケルめっき層
- 74 金めっき層
- 76U、76D 半田バンプ
- 78 導電性接着剤
- 80A、80B ビルドアップ配線層
- 90 導電性接続ピン
- 92 固定部
- 94 蓋めっき部
- 144 層間樹脂絶縁層
- 158 導体回路
- 160 バイアホール

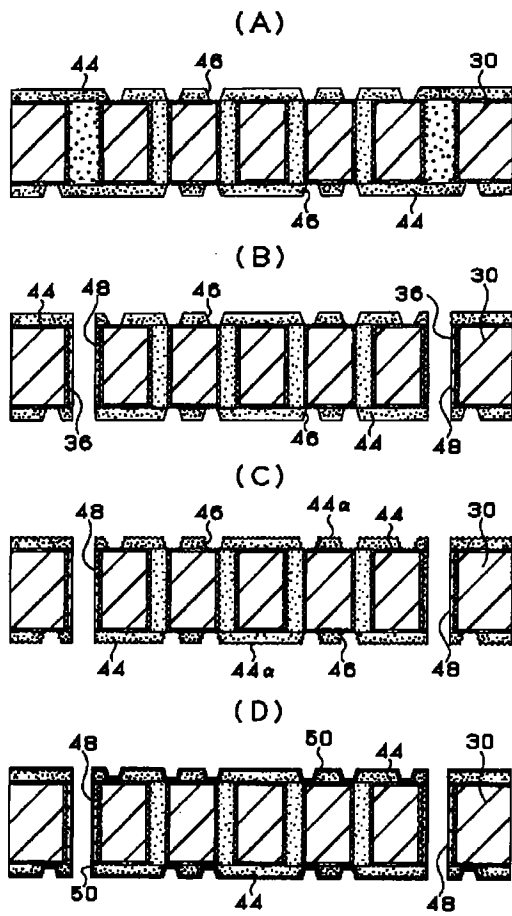
【図 2】



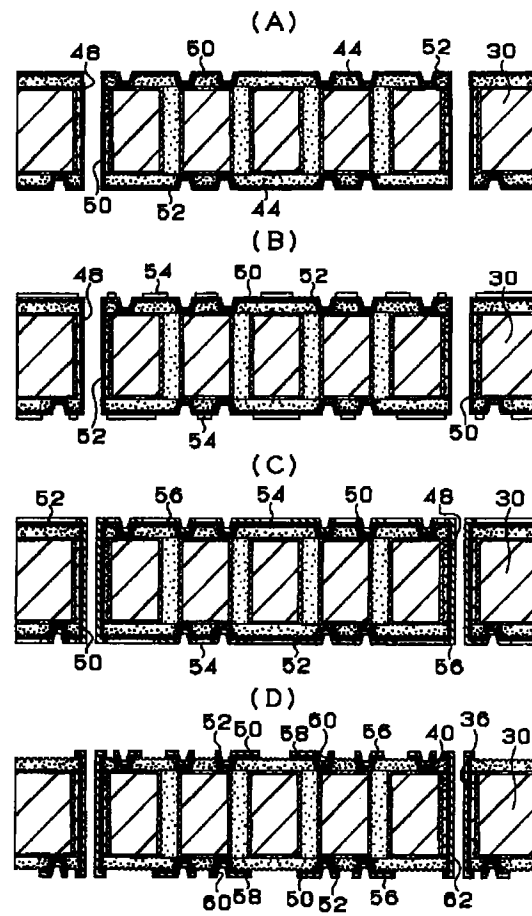
【図 6】



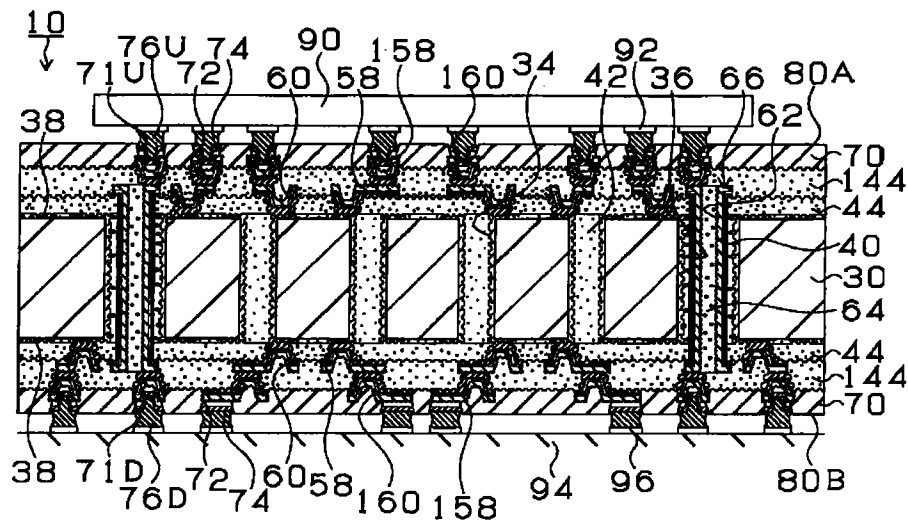
【図3】



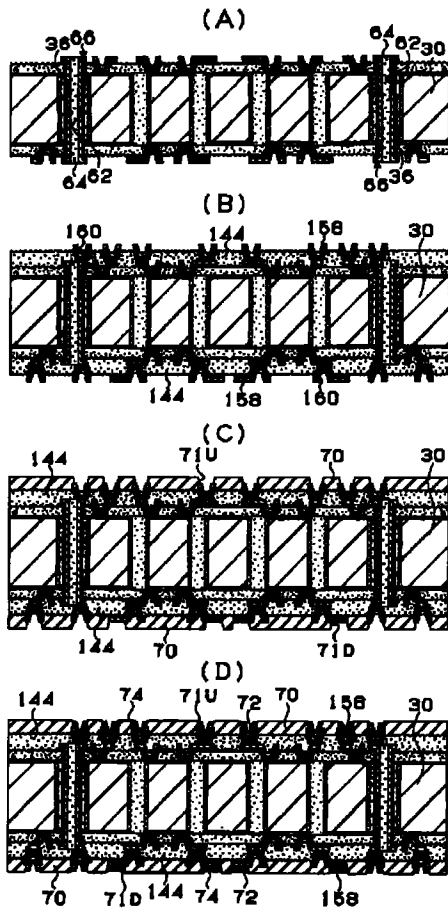
【図4】



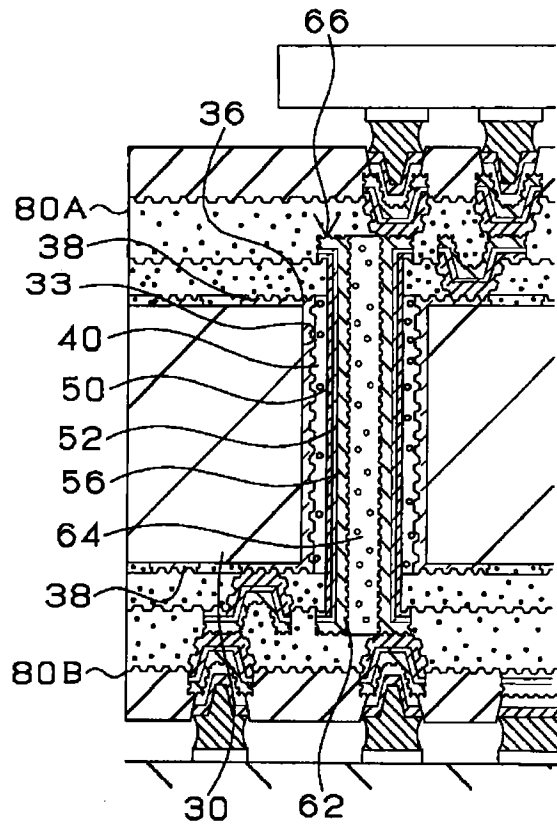
【図7】



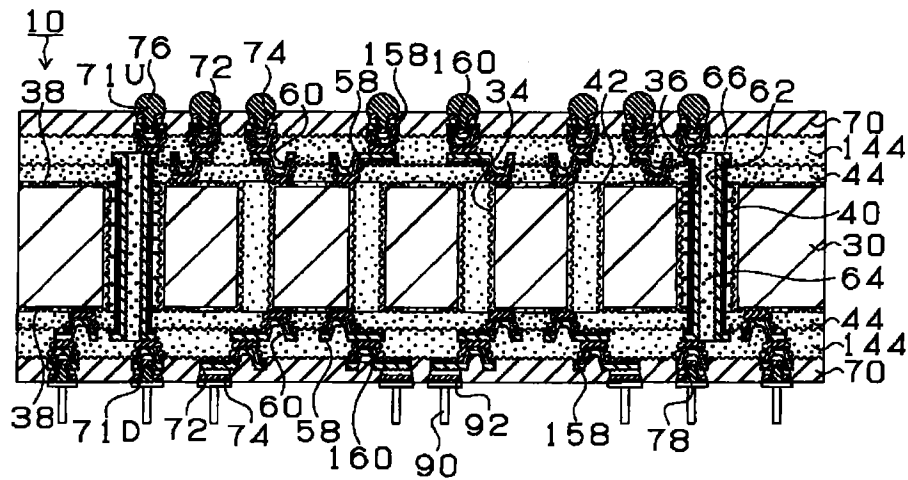
【図5】



【図8】

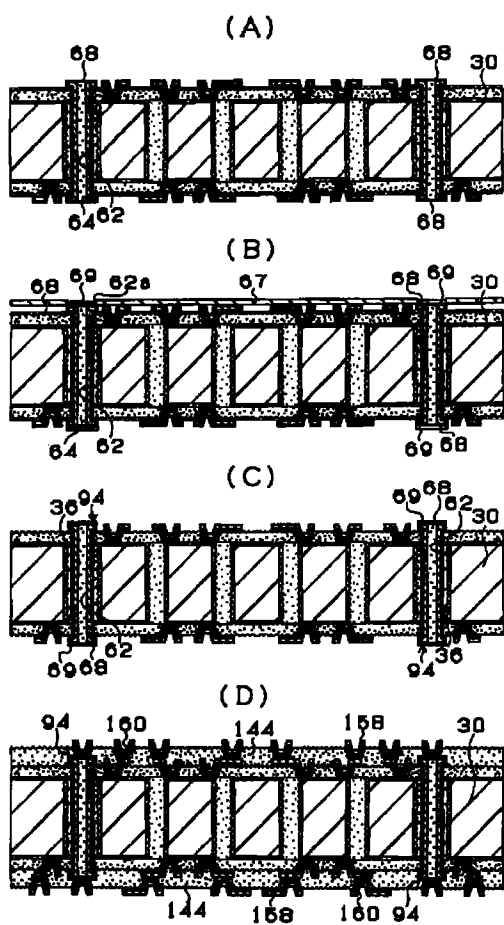


【図9】

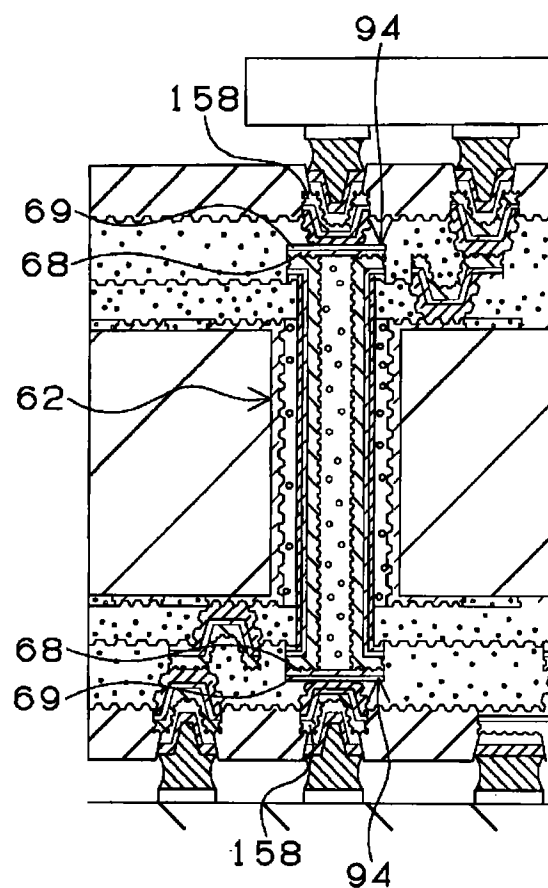




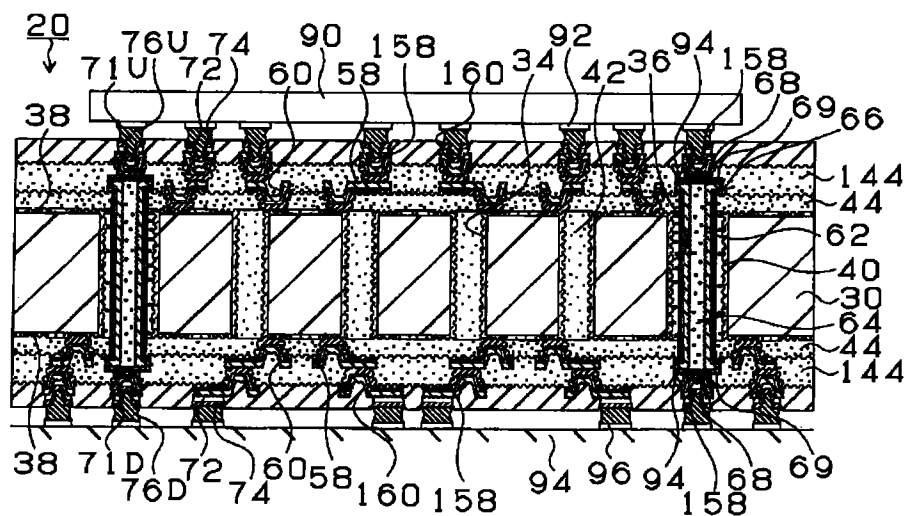
【図10】



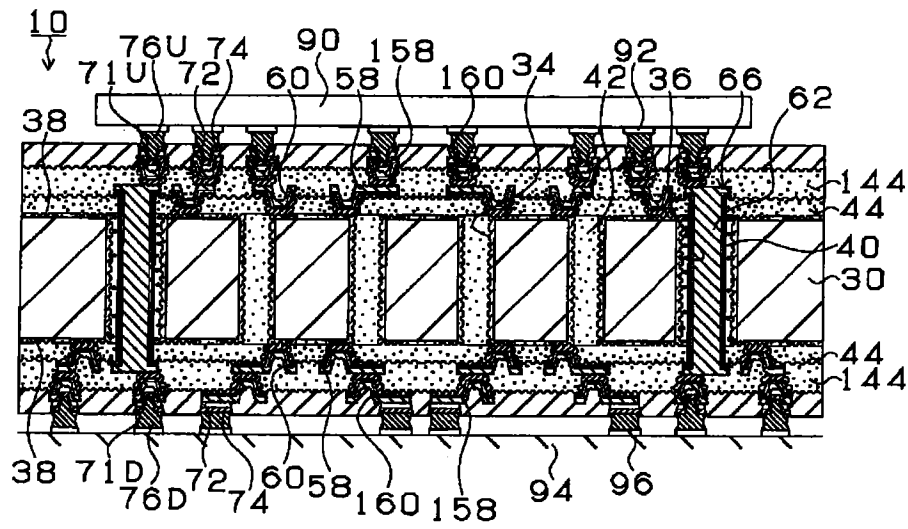
【図12】



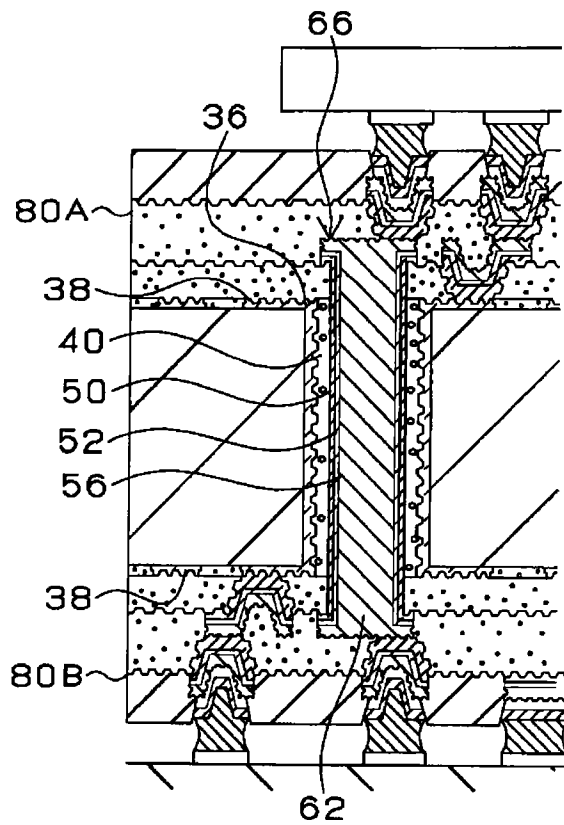
【図11】



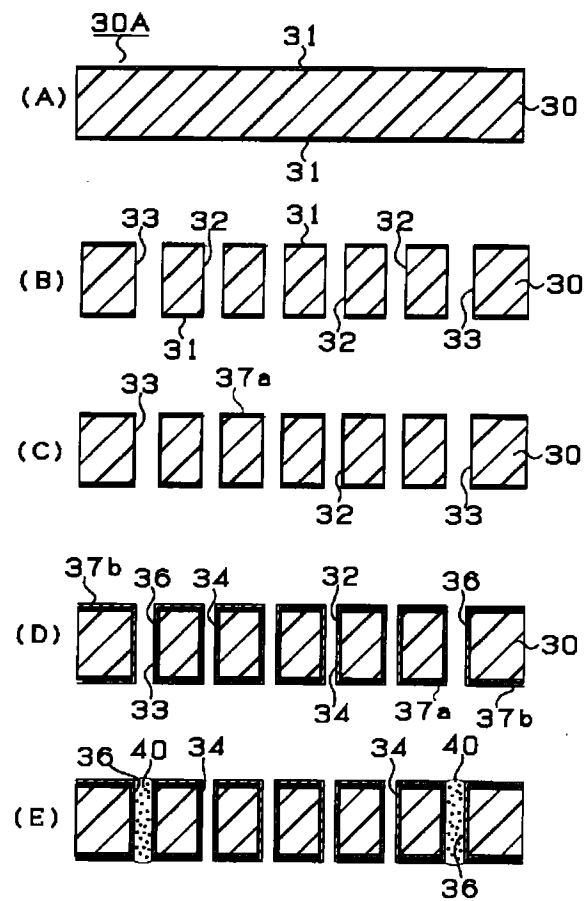
【図13】



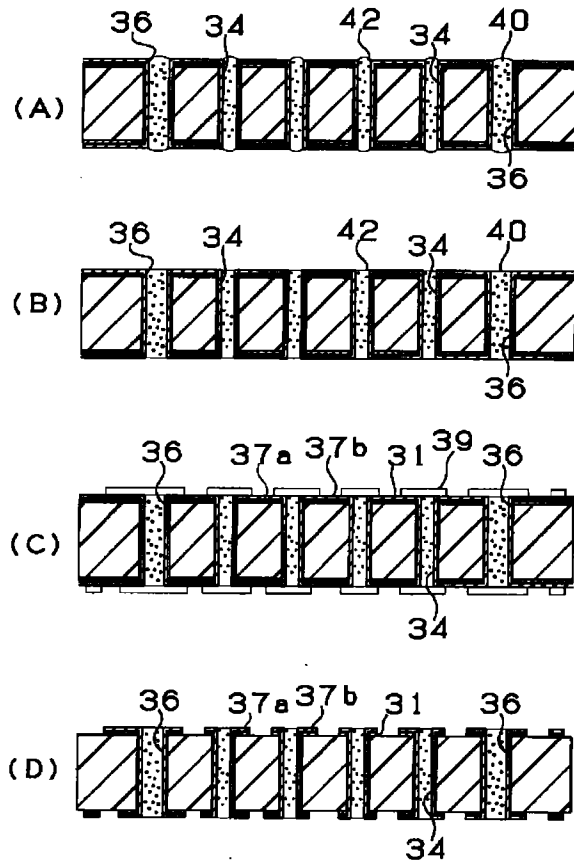
【図14】



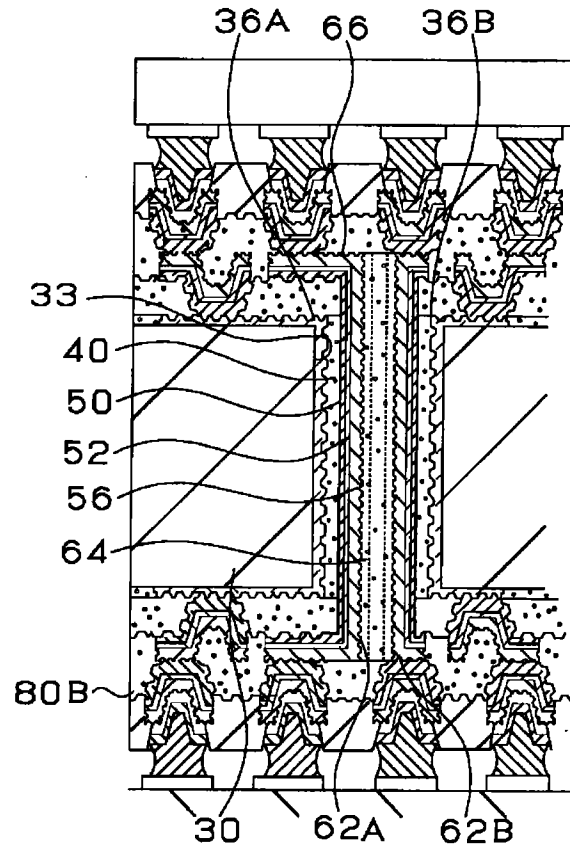
【図15】



【図16】



【図17】



フロントページの続き

(72)発明者 瀬川 博史  
岐阜県揖斐郡揖斐川町北方1-1 イビデ  
ン株式会社大垣北工場内

F ターム(参考) 4E351 BB03 BB26 BB29 BB49 DD01  
DD41 DD42 GG20  
5E317 AA24 BB01 BB11 CC31 CC53  
CD32 CD34 GG14  
5E346 AA12 AA13 AA15 AA42 AA43  
AA45 BB01 BB20 CC21 DD07  
EE31 EE38 FF04 FF45 GG15  
GG17 GG27 HH01 HH25

## 拒絶理由通知書

特許出願の番号	特願2005-514107
起案日	平成22年 6月18日
特許庁審査官	酒井 英夫 9631 4R00
特許出願人代理人	田下 明人 様
適用条文	第29条第1項、第29条第2項

この出願は、次の理由によって拒絶をすべきものです。これについて意見がありましたら、この通知書の発送の日から60日以内に意見書を提出してください。

### 理 由

1. この出願の下記の請求項に係る発明は、その出願前に日本国内又は外国において、頒布された下記 of 刊行物に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明であるから、特許法第29条第1項第3号に該当し、特許を受けることができない。
2. この出願の下記の請求項に係る発明は、その出願前に日本国内又は外国において頒布された下記 of 刊行物に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

### 記 (引用文献等については引用文献等一覧参照)

#### (1) 請求項1-5に係る発明に対して

- ・理由: 1, 2
- ・引用文献: 1

引用文献1の、特に、第2頁右上欄第18行-第3頁左上欄第7行、第5図を参照。

なお、本願は、パッケージ基板やICチップが接続される前の「インターポーザ」にかかるものであるから、本願において絶縁性基材の厚みをパッケージ基板やコアの厚みにより特定した点やICチップの端子により貫通孔の配置を特定した点等は、引用文献1に記載の発明との相違点であるとは認定していない。

#### (2) 請求項6-8に係る発明に対して

- ・理由: 2
- ・引用文献: 1

引用文献1に記載の発明において、スルーホール内の導体を周知の手法にて形成することは、当業者であれば適宜になし得たものである。

また、スルーホールを基板の一方面からドリルやレーザにより形成することは慣用的に行われる技術にすぎず、そのように形成されたスルーホールは、前記一方面的径が基板中心部よりも大きくなるものである。

(3) 請求項9に係る発明に対して

- ・理由: 2
- ・引用文献: 1, 2

引用文献1に記載の発明における多層プリント基板として、引用文献2（特に、[0009]，[0038]－[0060]，図1－10）に記載のものを採用することは、当業者であれば適宜になし得たものである。

引用文献等一覧

- 1.特開昭59－000996号公報
- 2.特開2001－237510号公報

先行技術文献調査結果の記録

- ・調査した分野 IPC H01L 23/12, 23/32,  
H05K 3/46
- ・先行技術文献 特開平11－054884号公報  
特開平11－176998号公報  
特開平11－261231号公報  
特開2001－148448号公報

この先行技術文献調査結果の記録は拒絶理由を構成するものではありません。

なお、補正の際には、本願の出願当初の明細書又は図面に記載した事項のほか、出願当初の明細書又は図面に記載した事項から自明な事項の範囲内で行わなければならないことに十分に注意してください。また、各補正事項について補正が適法なものである理由を、意見書にて、根拠となる出願当初の明細書等の記載箇所を明確に示した上で主張してください。

この拒絶理由通知書についてのお問い合わせ先

特許審査第三部 金属加工／電子素材加工 審査官 酒井 英夫  
電 話 03－3581－1101（内線3469）  
FAX 03－3501－0673